

МИНОБРНАУКИ РОССИИ

Государственное образовательное учреждение высшего профессионального образования

«Санкт-Петербургский государственный электротехнический

университет «ЛЭТИ» имени В.И. Ульянова (Ленина)»

(СПбГЭТУ)

---

## ЦИФРОВАЯ СХЕМОТЕХНИКА

Методические указания по проведению  
лабораторных занятий

**Внутренняя рабочая версия каф. ЭПУ**

*Данный документ постоянно обновляется и совершенствуется по мере модернизации лабораторного практикума. Актуальную версию этого документа в формате PDF можно загрузить по следующей ссылке:*

[https://www.dropbox.com/s/bunsbibh43ao0gv/EPU\\_Cxt\\_Lab.zip?dl=0](https://www.dropbox.com/s/bunsbibh43ao0gv/EPU_Cxt_Lab.zip?dl=0)



Санкт-Петербург  
2016

## ОГЛАВЛЕНИЕ

Введение .....	3
1. Ознакомление с лабораторным стендом и исследование простейших комбинаторных логических схем .....	4
1.1. Краткое описание лабораторной работы .....	4
1.2. Общие сведения о лабораторном стенде и контрольно-измерительном оборудовании .....	4
1.2.1. Общие сведения о лабораторном стенде .....	4
1.2.2. Рекомендации по сборке электрических схем .....	9
1.3. Основные теоретические сведения .....	10
1.4. Задание на проведение лабораторной работы .....	16
2. Мультивибраторы на логических элементах .....	19
2.1. Краткое описание лабораторной работы .....	19
2.2. Основные теоретические сведения .....	19
2.3. Задание на проведение исследований .....	28
3. Исследование схем триггеров .....	32
3.1. Краткое описание лабораторной работы .....	32
3.2. Основные теоретические сведения .....	32
3.3. Задание на проведение исследований .....	37
4. Устройства последовательной логики на триггерах .....	42
4.1. Краткое описание лабораторной работы .....	42
4.2. Основные теоретические сведения .....	42
4.3. Задание на проведение исследований .....	52
5. Синхронные цифровые схемы и устройства ввода-вывода .....	56
5.1. Краткое описание лабораторной работы .....	56
5.2. Основные теоретические сведения .....	56
5.3. Задание на проведение исследований .....	69
6. Цифровой широтно-импульсный модулятор .....	73
6.1. Краткое описание лабораторной работы .....	73
6.2. Основные теоретические сведения .....	73
6.3. Задание на проведение исследований .....	80
7. Исследование схем ЦАП и АЦП .....	83
7.1. Краткое описание лабораторной работы .....	83
7.2. Основные теоретические сведения .....	83
7.3. Задание на проведение исследований .....	90

## ВВЕДЕНИЕ

Лабораторный курс по дисциплине «Цифровая Схемотехника» является логическим продолжением работы, выполняемой студентами в рамках курса «Аналоговая Схемотехника». Подразумевается, что студент, приступающий к выполнению лабораторных работ, знаком с используемым контрольно-измерительным оборудованием, общим подходом к сборке и исследованию электрических схем, порядком выполнения лабораторной работы и протоколирования результатов наблюдений. Описанный круг вопросов достаточно подробно рассмотрен в методических указаниях к выполнению лабораторных работ по дисциплине «Аналоговая Схемотехника».

Общие требования к отчетам по лабораторным работам таковы:

1. К отчету должен быть приложен протокол выполнения лабораторной работы, подписанный преподавателем. Без протокола отчет по лабораторной работе недействителен. Перед составлением протокола в нем указывается дата, номер группы, имена студентов, выполнивших лабораторную работу, название работы.
2. Составляется один отчет на бригаду, выполнившую лабораторную работу. Бригады состоят из двух (максимум трех) человек.
3. На лабораторные работы, состоящие из двух частей, составляется один отчет, к которому прикладывается два протокола.
4. Отчет должен содержать исследованные электрические схемы и основные теоретические соотношения, описывающие их работу. Следует приводить только ключевые сведения и формулы; полностью перепечатывать методические указания и иную литературу нет необходимости.
5. Данные, полученные в результате исследований, должны быть перенесены из протокола выполнения работы в отчет, и представлены в обработанном виде: таблицы и осциллограммы следует оформлять аккуратно и читаемо.
6. Если для расчета массивов данных используется табличный процессор (например, MS Excel), в отчете должны быть приведены формулы, введенные в него для автоматического расчета значений.
7. Результаты в виде графиков и диаграмм (если есть) должны быть оформлены с соответствующим уровнем качества. В частности, оси должны быть подписаны с указанием размерности, диаграммы напряжений должны иметь заголовки, линии сетки, улучшающие читаемость. Временные диаграммы цифровых сигналов в случаях, когда исследуется только логика работы какого-либо узла, следует изображать в условных осях. В таких случаях ось абсцисс не имеет размерности, а ось ординат размечена лишь двумя метками – уровень логических «0» и «1».
8. Краткие выводы по лабораторной работе должны содержать информацию о том, соответствуют ли полученные результаты теоретическим соображениям (какие и как), при необходимости – объяснение расхождений результатов наблюдений с теорией.

**Перед тем, как приступать к выполнению лабораторных работ, при необходимости следует самостоятельно изучить лабораторное оборудование, внимательно ознакомившись с главой 1.2 методических указаний по выполнению лабораторных работ дисциплины «Аналоговая Схемотехника».**

# 1. ОЗНАКОМЛЕНИЕ С ЛАБОРАТОРНЫМ СТЕНДОМ И ИССЛЕДОВАНИЕ ПРОСТЕЙШИХ КОМБИНАТОРНЫХ ЛОГИЧЕСКИХ СХЕМ

## 1.1. Краткое описание лабораторной работы

1. В лабораторной работе изучается лабораторный стенд, содержащий цифровые микросхемы серии 7400 подсемейства НС/НСТ.
2. В качестве источников сигналов используются встроенные в лабораторный стенд переключатели.
3. В качестве индикаторов логических уровней используются дискретные светодиоды с токоограничительными резисторами.
4. При помощи кнопок и светодиодов исследуются таблицы истинности ряда логических элементов (ЛЭ).

## 1.2. Общие сведения о лабораторном стенде и контрольно-измерительном оборудовании

Краткое описание используемого лабораторного оборудования приведено в методических указаниях по дисциплине «Аналоговая схемотехника».

### 1.2.1. Общие сведения о лабораторном стенде

Стенд для сборки электрических схем был разработан на каф. ЭПУ СПбГЭТУ «ЛЭТИ» и не является серийным изделием какого-либо производителя электронных изделий. Дополнительной документации на стенд, за исключением настоящих методических указаний, не существует.

Стенд представляет собой стандартную двухстороннюю печатную плату из стеклотекстолита с установленными на ней электронными компонентами. Все интегральные схемы, содержащиеся в стенде, уже подключены к источнику питания и снабжены блокировочными конденсаторами. На всех информационных входах всех микросхем, за исключением логических элементов, присутствуют так называемые резисторы подтяжки (англ. «pull-up resistor»), которые обеспечивают поступление на вход микросхемы высокого уровня лог. «1» в случае, если вход микросхемы не задействован. Также в плате присутствуют некоторые дополнительные соединения, характерные для типичного способа использования той или иной микросхемы (см. ниже).

Внешний вид стенда показан на Рис. 1.

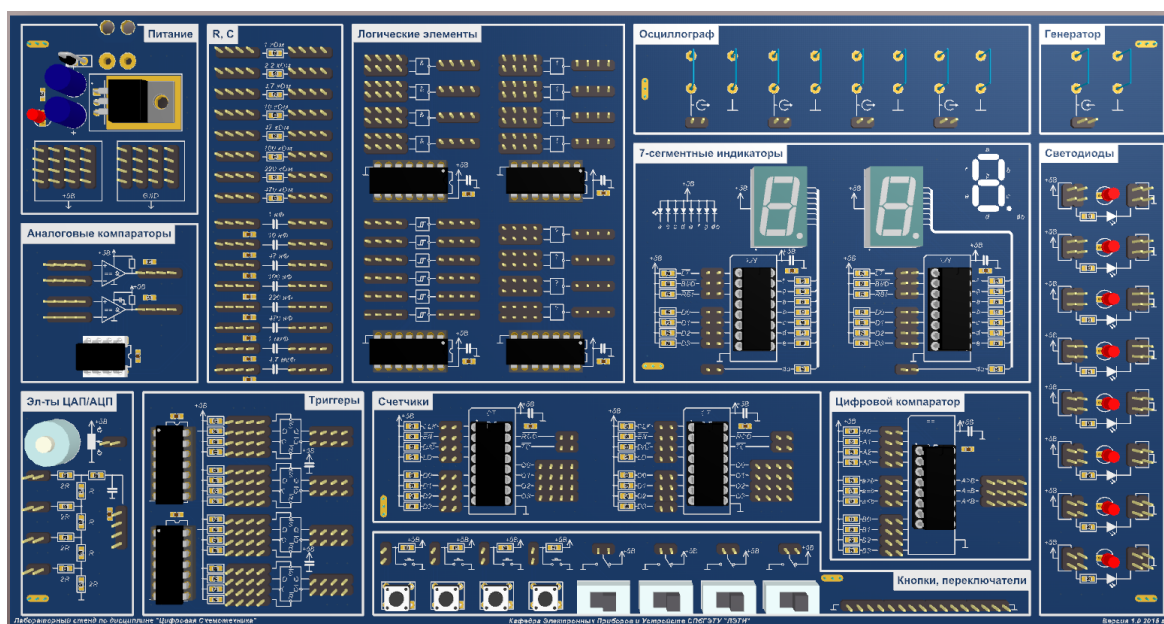


Рис. 1. Внешний вид стенда для выполнения лабораторных работ

Стенд разделен на ряд блоков, названия которых подписаны в рамках сверху.

**Блок «Питание»** содержит точки подключения кабеля питания. Из стенда выходит кабель с двумя проводниками разных цветов («плюс» и «минус»). Номинальное напряжение питания стенда составляет 9 В. В стенде установлен линейный регулятор напряжения типа 7805, понижающий входное напряжения до уровня питания цифровых микросхем 5 В, а также защитный диод, исключающий выход элементов из строя при неправильной полярности подключения питающего кабеля.

Внешний вид блока показан на Рис. 2.

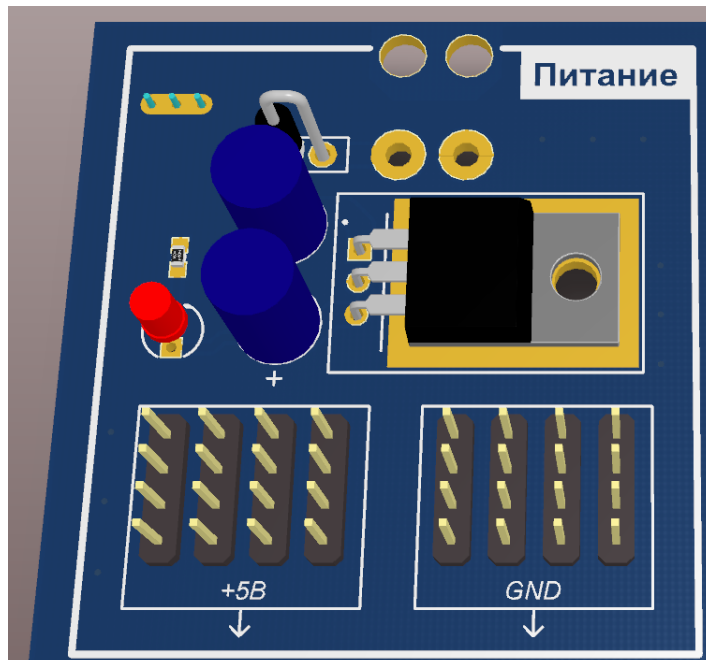


Рис. 2. Блок «Питание»

Наличие напряжения питания платы индицируется светодиодом.

Общие принципы работы с платой аналогичны описанному в методических указаниях по выполнению лабораторных работ дисциплины «Аналоговая Схемотехника». Блоки «Осциллограф» и «Генератор» в точности повторяют уже знакомые студентам технические решения; блок «Мультиметр» в плате отсутствует, т.к. мультиметр при выполнении лабораторных работ используется крайне редко.

**Блок «Аналоговые компараторы»** функционально аналогичен одноименному блоку стенда «Аналоговая Схемотехника» и содержит микросхему LM393, представляющую собой двоясанный компаратор с выходом типа «открытый коллектор» (см. Рис. 3).

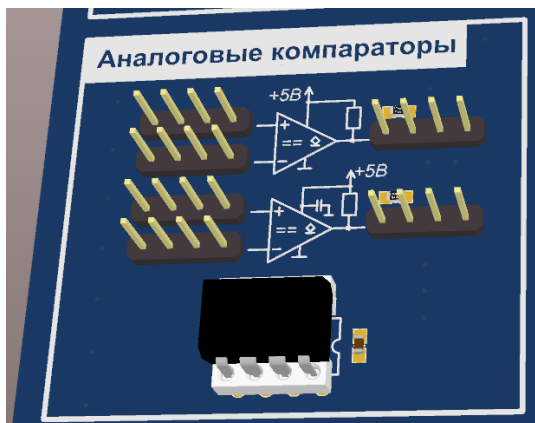


Рис. 3. Блок «Аналоговые компараторы»

Ввиду того, что аналоговые компараторы в лабораторных стендах применяются в цифроаналоговых схемах с микросхемами ТТЛ-совместимых уровней, каждый из выходов

снабжен резистором-подтяжкой номиналом 10 кОм. Таким образом, выход каждого из компараторов можно напрямую подключить ко входу любой цифровой микросхемы без дополнительных элементов.

**Блок «R, C»** содержит набор резисторов и конденсаторов, которые используются в цифроаналоговых схемах мультивибраторов, одновибраторов и т.д., построенных на цифровых микросхемах. И резисторы, и конденсаторы имеют типоразмер 0603. В плате присутствует всего один элемент каждого номинала. Номиналы резисторов: 1, 2.2, 4.7, 10, 47, 100, 220, 470 кОм. Номиналы конденсаторов: 1, 10, 47, 100, 220, 470 нФ; 1, 4.7 мкФ. К каждому выводу элемента подключено по блоку из четырех штырьковых разъемов.

**Блок «Логические элементы»** (см. Рис. 4) содержит четыре интегральных микросхемы следующих типов:

1. 74НС14 – шесть инвертирующих триггеров Шмитта;
2. 74НС00 – четыре ЛЭ 2И-НЕ;
3. 74НС02 – четыре ЛЭ 2ИЛИ-НЕ;
4. Место для установки интегральной схемы, содержащей четыре двухвходовых ЛЭ со стандартной цоколевкой по выбору преподавателя.

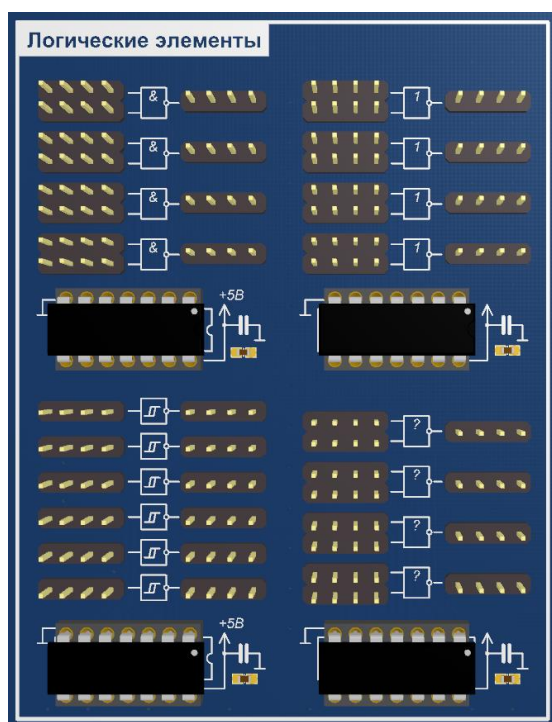


Рис. 4. Блок «Логические элементы»

**Блок «Семисегментные индикаторы»** довольно сложен и содержит два светодиодных семисегментных индикатора с общим анодом, уже подключенных через токоограничительные резисторы (1 кОм) к дешифратору типа 74LS47. Данная микросхема осуществляет преобразование двоично-десятичного кода на входе в специфический код управления семисегментным индикатором на выходе так, что число, поданное на вход дешифратора, можно считать с соответствующего индикатора.

Помимо сегментов, которые служат для изображения арабских цифр, индикаторы содержат символы десятичного разделителя (точки). Светодиод, индицирующий десятичный разделитель, также подключен катодом к токоограничительному резистору, второй вывод которого подключается к блоку из двух штырьковых разъемов.

Внешний вид блока показан на Рис. 5. Как видно, плата стенда позволяет отображать числа в диапазоне 00-99 с опциональной десятичной точкой-разделителем в любой позиции. Внутренняя схемотехника индикаторов и общепринятые буквенные индексы сегментов показаны в виде рисунков.



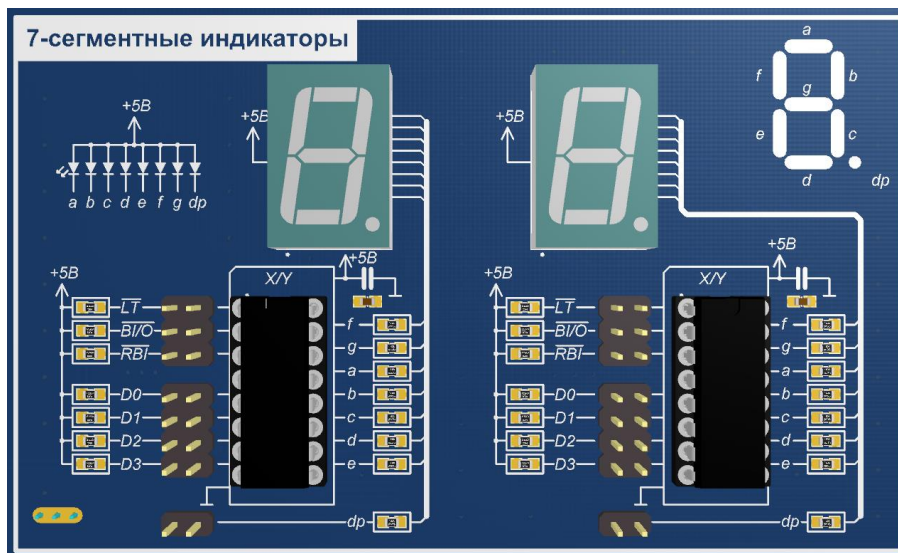


Рис. 5. Блок «7-сегментные индикаторы»

Все входы дешифратора 74LS74 имеют резисторы подтяжки номиналом 10 кОм. Обращаем внимание, что данная микросхема – единственная в плате, выполненная по технологии ТТЛШ. Все остальные микросхемы серий НС(Т) ТТЛ-совместимы, но изготовлены по КМОП-технологии.

**Блок «Светодиоды»** (см. Рис. 6) содержит 8 индикаторных светодиодов, подключенных анодами к индивидуальным токоограничительным резисторам номиналом 1 кОм. Светодиоды могут быть включены как логическим уровнем «0», так и «1». В первом случае необходимо подключить резистор к источнику питания «+5В», а катод светодиода – к выходу какой-либо интегральной схемы. Если необходимо активировать индикатор уровнем лог. «1», то катод светодиода подключается к «земле», а резистор (к которому обращен анод) – к выходу интегральной схемы.



Рис. 6. Блок «Светодиоды» (фрагмент)

Для упрощения коммутации рядом со сдвоенными штырьковыми разъемами светодиода установлены разъемы, подключенные к цепям «+5В» и «GND». Это позволяет использовать вместо монтажного провода перемычки («джамперы»), которые выдаются преподавателем.

**Блок «Элементы ЦАП/АЦП»** содержит потенциометр типа СП-16ВА мощностью 0.25 Вт на полное сопротивление в несколько кОм (зависит от экземпляра платы). Крайние выводы потенциометра подключены к цепям питания, а скользящий контакт – к сдвоенному штырьковому разъему, с которого снимаются напряжения в диапазоне от 0 до 5 В. Направление

вращения движка потенциометра для увеличения и уменьшения этого напряжения показано рисунком на плате (см. Рис. 7).

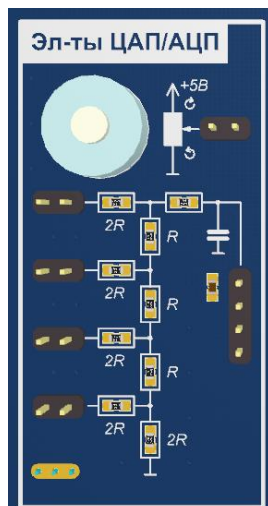
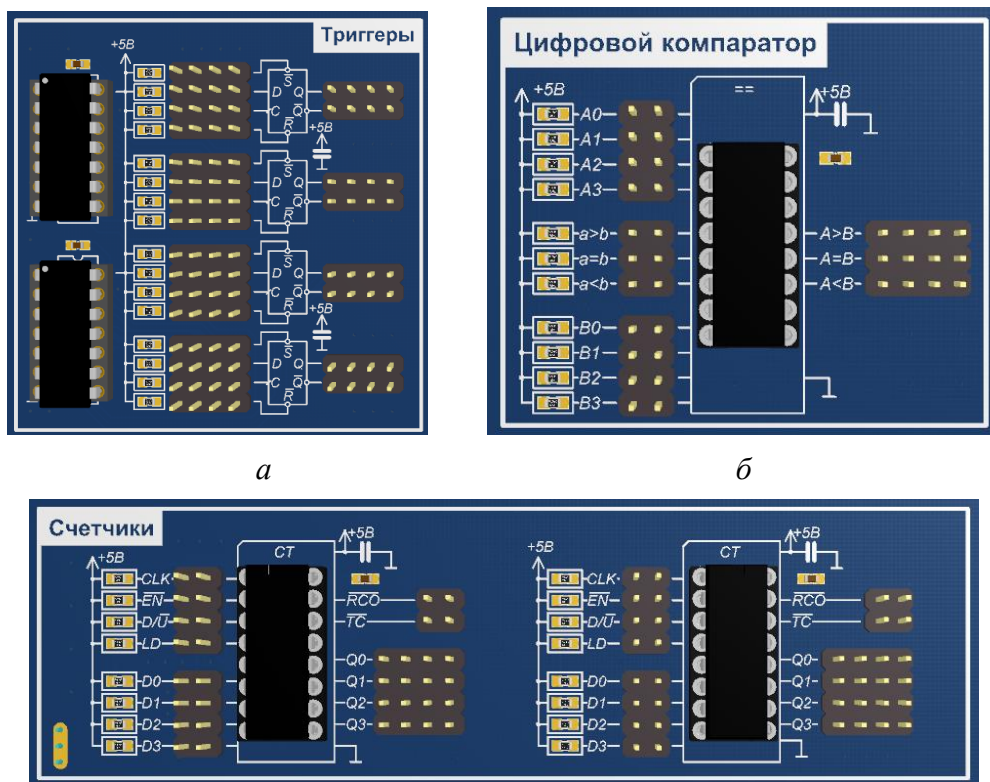


Рис. 7. Блок «Элементы ЦАП/АЦП»

Под потенциометром собрана схема, представляющая собой 4-разрядную резистивную матрицу R-2R (англ. «Resistor ladder») на резисторах номиналом 1 и 2 кОм с выходным RC-фильтром 100 кОм, 1 нФ. Данная схема используется для построения и исследования простейшего ЦАП (цифроаналогового преобразователя). Входы и выходы матрицы подключены к штырьковым разъемам.

Блок «Триггеры» содержит две интегральных микросхемы, каждая из которых представляет собой пару универсальных RS/D-триггеров (D-триггеров с асинхронными установкой и сбросом) типа 74НС74. Все входы имеют встроенные резисторы подтяжки номиналом 10 кОм и штырьковые разъемы; для использования доступны оба выхода каждого из триггеров – прямой и инверсный (см. Рис. 8, а).



6

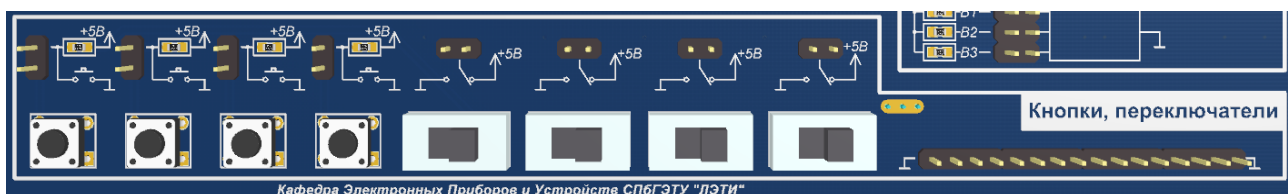
Рис. 8. Блоки «Триггеры» (а), «цифровой компаратор» (б) и «счетчики» (в)



**Блок «Цифровой компаратор»** содержит микросхему типа 74НС85, которая позволяет осуществлять сравнение двух четырехразрядных чисел А и В и поддерживает каскадирование для увеличения разрядности. Все входы (как информационные, так и входы каскадирования) снабжены резисторами подтяжки (см. см. Рис. 8, б).

**Блок «Счетчики»** (см. Рис. 8, в) содержит два четырехразрядных реверсивных синхронных двоичных счетчика типа 74НС191. Счетчики имеют входы и выходы для каскадирования, функцию параллельной загрузки и функцию сброса.

Для ввода цифровых данных в схему, собранную на плате, и ее настройки, служит **блок «Кнопки и переключатели»** (см. Рис. 9).



*Рис. 9. Блок «Кнопки и переключатели»*

Как видно, плата содержит 4 кнопки и 4 переключателя.

Схема включения кнопок благодаря наличию резисторов подтяжки такова, что с группы из двух штырьковых разъемов при не нажатой кнопке снимается уровень напряжения, соответствующий напряжению питания или лог. «1». Нажатая кнопка заземляет цепь штырьковых разъемов, и уровень напряжения падает до нуля (лог. «0»). Кнопки следует использовать в случаях, когда требуется вручную кратковременно менять логический уровень на каком-то входе схемы.

Переключатели не требуют резисторов подтяжки и, в зависимости от положения, подключают штырьковые разъемы либо к питанию (лог. «1»), либо к земле (лог. «0»). Переключатели следует использовать в случае, когда требуется иметь число или набор логических уровней, которые необходимо изменять время от времени в процессе настройки или исследования схемы.

Также описанный блок содержит ряд штырьковых разъемов, подключенных к «земле» (лог. «0»). Это ряд полезен для того, чтобы в процессе сборки схемы перманентно подключить какой-то вход микросхемы к уровню лог. «0». Для этого следует соединить с землей этот вход при помощи монтажного провода. При отсутствии такого подключения вход окажется, скорее всего, подключенным к уровню лог. «1», т.к. на подавляющем большинстве входов сложных цифровых микросхем в плате установлены резисторы подтяжки.

Все интегральные схемы установлены в цанговые панельки («кроватки»), которые обеспечивают быструю и удобную замену вышедшего из строя компонента без использования пайки.

Для выполнения конкретных лабораторных работ преподаватель выдает студентам дополнительные навесные компоненты, такие, как пьезокерамические излучатели звука, переключки («джамперы») и т.д. Все они снабжены ответными частями штырьковых разъемов и могут быть подключены в любые узлы схемы.

### 1.2.2. Рекомендации по сборке электрических схем

Общие рекомендации по сборке электрических схем аналогичны изложенному в методических указаниях [АнСХТ].

Специфика цифровой схемотехники заключается в том, что чаще всего цифровые электрические схемы больше, и содержат большее количество элементов и соединений, нежели аналоговые. Для упрощения процесса сборки схем на плате, как видно, уже принят ряд мер (часть узлов заранее смонтированы). Исходя из специфики цифровой схемотехники, остается рекомендовать:

- Соблюдать порядок подключений шин и групп индикаторов. Например, для отображения состояния бит байта, следует подключать цепи битов к светодиодам по порядку и не сбиваясь: бит 0 – нижний светодиод, бит 1 – второй снизу, ... бит 7 – верхний светодиод. При организации ввода многоразрядного числа в схему также следует соблюдать порядок использования кнопок и переключателей. Например, бит 3 – слева, затем биты 2, 1, а бит 0 – справа.
- Использовать перемычку («джампер») везде, где можно заменить ею монтажный провод. Например, для того, чтобы установить направление счета счетчика 74НС191 на увеличение и разрешить счет, требуется заземлить входы  $\overline{EN}$  и  $D/\overline{U}$ . При сборке схемы удобнее подключить монтажный провод, соединенный с землей, например, к  $D/\overline{U}$ , а затем установить перемычку между  $D/\overline{U}$  и  $\overline{EN}$ .
- В случае, когда требуется наблюдать медленно изменяющиеся сигналы (логические уровни), вместо осциллографа удобно использовать любой из доступных светодиодов.
- Для наблюдения быстро изменяющихся сигналов используется осциллограф. Если сигналы периодические, осциллограф используется так же, как и при исследовании аналоговых схем мультивибраторов, компараторов, усилителей сигнала, поступающего с лабораторного генератора. Если сигналы аperiodические (например, реакция схемы на нажатие какой-то кнопки), рекомендуется освоить и применять специфические режимы синхронизации осциллографа: режим синхронизации «Normal» с автоматической блокировкой обновления экрана без событий синхронизации, режим съемки одного кадра «Single seq.», выбор фронта синхронизации.
- При осциллографировании группы периодических синхронизированных друг с другом сигналов, в качестве источника синхронизации следует выбирать самый «медленный» из них, например, старший бит на выходе счетчика при съемке всех четырех его выходных битов.
- В подавляющем большинстве случаев необходимо и достаточно выбрать такой масштаб каналов по оси Y осциллографа, чтобы одна клетка на экране соответствовала логическому перепаду (5 В). Сами каналы при этом следует разнести так, чтобы осциллограммы не пересекались.

### 1.3. Основные теоретические сведения

Цифровая схемотехника на уровне составления электрических принципиальных схем, если речи не идет об особых случаях, оперирует не электрическими физическими величинами (ток, напряжение и т.д.), а логическими уровнями. Сигналы, распространяющиеся по цепям таких схем, являются цифровыми, т.е. напряжения в этих цепях могут принимать лишь два значения – уровень логического нуля и уровень логической единицы.

В зависимости от технологии изготовления использованных в схеме интегральных микросхем, физические определения понятий «лог. 1/0» разнятся. Исторически первой массовой серией интегральных цифровых микросхем являются микросхемы транзисторно-транзисторной логики (ТТЛ), построенные на биполярных транзисторах и питающиеся напряжением 5 В. У этих микросхем имелся ряд недостатков, связанных с их невысоким быстродействием и значительным потреблением, вследствие чего в настоящий момент они используются крайне редко. Однако наиболее популярные сегодня серии цифровых интегральных микросхем (74НС/НСТ), хоть и выполнены по КМОП-технологии (в основе которой лежат полевые транзисторы с р- и n-каналом), но являются ТТЛ-совместимыми, т.е. работают с такими напряжениями лог. «0» и «1», которые могут быть созданы и корректно восприняты устаревшими ТТЛ-микросхемами.

Если сильно упростить, то уровень лог. «1» для таких микросхем составляет порядка  $U_{п}$  или 5 В, а уровень лог. «0» порядка 0 В. Полное же описание физического уровня того или иного интерфейса логических интегральных схем, конечно, задает логические уровни в виде диапазона напряжений, описывает временные параметры процесса смены логического уровня в цепи и т.д. и т.п.

Сама суть цифрового сигнала следует из ограничений, которые на него изначально накладываются. Одна цепь несет информацию бинарного вида – «истина/ложь», «да/нет», «готов/не готов», «открыто/закрыто», «о.к./ошибка». Если ряд цифровых сигналов объединить и условно пронумеровать, то полученная шина позволит записывать и передавать двоичные числа. Поскольку сигнал в одной цепи принимает лишь два значения (0, 1), то количество комбинаций уровней сигналов в шине из двух цепей составит 4 (00, 01, 10, 11), из трех – восемь (000...111) и т.д. Полученное *двоичное* число может быть обработано более сложными цифровыми узлами, от сравнительно простых устройств сложения и сравнения до универсальных арифметическо-логических устройств. Вместе с тем, все эти устройства, включая сложнейшие современные микропроцессоры, строятся из простых логических элементов (ЛЭ) в интегральном исполнении. Исследованию ЛЭ, выпущенных как компоненты в виде отдельных интегральных микросхем, и посвящена данная вводная лабораторная работа.

ЛЭ сами по себе могут как быть частью более сложных схмотехнических блоков, так и выполнять самостоятельные функции. Рассмотрим простейший наглядный пример с сигнализацией, оснащенной двумя датчиками, высокий логический уровень на выходе каждого из которых соответствует ситуации «тревога». Сирена будет включена, если хотя бы с одного из датчиков поступит высокий уровень. Т.е. сигнализация работает по алгоритму «включить сирену, если с датчика №1 **ИЛИ** с датчика №2 поступил уровень лог. «1». Если сирена включается высоким уровнем напряжения, описанный алгоритм реализуется одним логическим элементом типа ИЛИ (англ. OR). Таблица, описывающая уровень на выходе такого ЛЭ для всех комбинаций сигналов на входах, также называемая *таблицей истинности*, показана на Рис. 10, а.

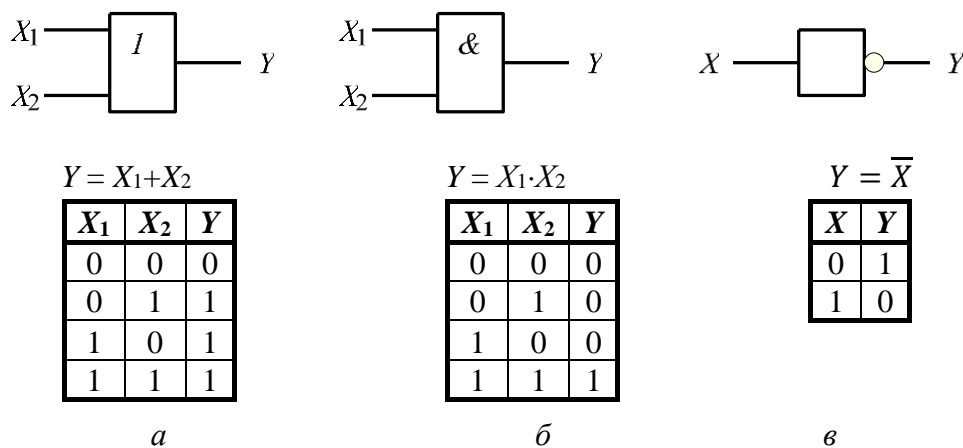


Рис. 10. ЛЭ типа ИЛИ (а), И (б), НЕ (в)

Описывать поведение ЛЭ иногда удобнее не таблицей, а выражением *алгебры логики*, похожим на обычное алгебраическое. Для ЛЭ типа ИЛИ операция, которую он выполняет (*дизъюнкция*), описывается соотношением  $Y = X_1 + X_2$ . Ввиду того, что и  $X_{1,2}$ , и  $Y$  могут принимать лишь два значения (0 и 1), корректность таблицы, показанной на Рис. 10, а, очевидна ( $0+0=0$ ,  $0+1=1$ ,  $1+0=1$ ,  $1+1=1$  т.к. уровня «2» не существует).

Аналогично можно описать элемент И (англ. AND), см. Рис. 10, б. Напряжение на его выходе примет уровень лог. «1», если на обоих входах уровни составляют лог. «1», т.е.  $Y = 1$  если  $X_1 = 1$  **И**  $X_2 = 1$  (см. Рис. 10, б). На языке алгебры логики такое поведение описывается выражением  $Y = X_1 \cdot X_2$ , что также интуитивно согласуется с простейшей алгеброй, и называется *конъюнкцией*.

Третий базовый ЛЭ называется логическим НЕ, или *инвертором*, а операция, соответственно, *инверсией*. Если на вход такого элемента поступает сигнал  $X = 1$ , то на выходе формируется уровень  $Y = 0$ ; низкий уровень сигнала на входе  $X = 0$  дает высокий уровень на выходе  $Y = 1$ . Таблица истинности, условное графическое обозначение (УГО) и выражение на языке алгебры логики показаны на Рис. 10, в.

Очевидно, что подвергнуть операции сложения или умножения (дизъюнкции / конъюнкции) можно не только два, но также три и более операнда. Имея только ЛЭ с двумя входами, можно использовать второй такой ЛЭ, тогда на примере логической операции ИЛИ можно записать  $Y_1 = X_1 + X_2$ ,  $Y_2 = Y_1 + X_3$ , т.е.  $Y_2 = X_1 + X_2 + X_3$ . Электронная промышленность выпускает ЛЭ с тремя и более входами. Для того чтобы обозначить в названии ЛЭ число его входов, часто пишут «3И», «4ИЛИ» и т.д. Инвертора с более чем одним входом, очевидно, не существует.

Ввиду большей гибкости при составлении сложных логических схем, имеющих много входов и выходов, особую популярность приобрели так наз. *универсальные ЛЭ* в интегральном исполнении. Универсальные ЛЭ отличаются от простейших И/ИЛИ тем, что результат сложения/умножения дополнительно инвертируется (см. Рис. 11). В полном названии универсального логического элемента появляется, соответственно, указание на инверсию результата. Так возникают названия формата 2И-НЕ (англ. 2-input NAND), 4ИЛИ-НЕ (4-input NOR).

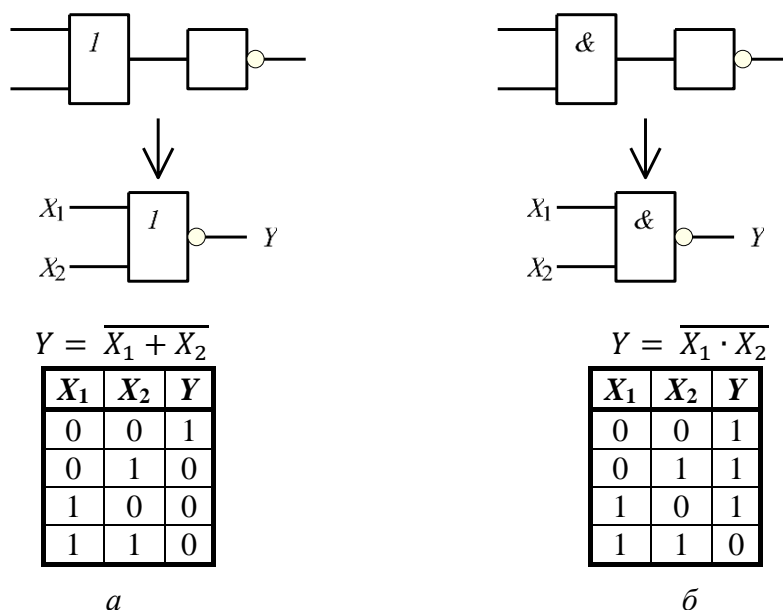


Рис. 11. Универсальные ЛЭ типа 2ИЛИ-НЕ (а) и 2И-НЕ (б)

Теория алгебры логики показывает, что имея лишь универсальные ЛЭ одного типа, можно построить как любые ЛЭ другого типа, так и вообще, теоретически, любое цифровое устройство. В частности, согласно законам Де Моргана,

$$(1) \overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2} \text{ и } \overline{X_1 \cdot X_2} = \overline{X_1} + \overline{X_2}.$$

Допустим, в наличии имеются только ЛЭ типа 2И-НЕ, и требуется построить ЛЭ типа ИЛИ. Элемент 2И-НЕ можно использовать как инвертор, закоротив его входы (т.к.  $\overline{X_1 \cdot X_1} = \overline{X_1}$ ). Далее, проинвертировав левую и правую части первого соотношения (1), получим:

$$X_1 + X_2 = \overline{\overline{X_1} \cdot \overline{X_2}}.$$

Полученное соотношение описывает реализацию ЛЭ типа ИЛИ на универсальных ЛЭ ИЛИ-НЕ. На языке схемотехники полученное преобразование можно изобразить в виде схемы следующим образом:

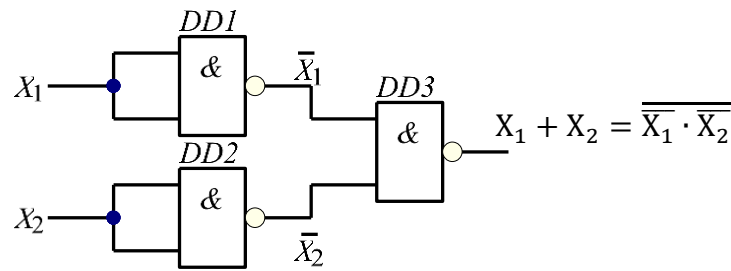


Рис. 12. Реализация ЛЭ типа ИЛИ на универсальных ЛЭ ИЛИ-НЕ

В корректности созданной схемы можно легко убедиться и не используя формальный аппарат алгебры логики. Допустим, хотя бы один из входов схемы, показанной на Рис. 12, т.е.  $X_1$  или  $X_2$ , оказывается равным логической единице. Это означает, что после инверсии на вход ЛЭ DD3 поступит как минимум один уровень лог. «0». В результате выполнения операции И в DD3 формируется логический ноль, который после инверсии (логический элемент – универсальный) дает лог. «1» на выходе. Иными словами, полученная схема реализует таблицу истинности ЛЭ типа 2ИЛИ.

Логические элементы используются для построения, в том числе, комбинаторных узлов, как в интегральном исполнении (в виде интегральных микросхем) так и в виде обычных схем.

Комбинаторные узлы – схемы, имеющие некоторое количество входов и выходов, и при этом состояния выходов определяются мгновенно и исключительно текущим состоянием входов (т.е. комбинаторные схемы не имеют свойства запоминать и хранить данные). Существует большое количество типовых комбинаторных узлов – дешифраторы и шифраторы, демультиплексоры и мультиплексоры, сумматоры, компараторы и т.д. Как правило, такие узлы имеют группы входов, логические уровни которых интерпретируются как двоичные числа. Разрядность чисел соответствует числу входов, объединенных в группу.

**Компараторы** служат для сравнения групп логических сигналов (чисел). Компараторы имеют два многоразрядных входа  $A[n..0]$  и  $B[n..0]$  и выходы:  $A < B$ ,  $A = B$ ,  $A > B$  (при этом разрядность входных чисел составляет  $n+1$ ). Уровень лог. «1» на одном из выходов показывает, как соотносятся числа  $A$  и  $B$ . Схемы компараторов могут иметь входы для каскадирования, т.е. увеличения разрядности всей схемы за счет соединения в цепочки нескольких микросхем или схем меньшей разрядности.

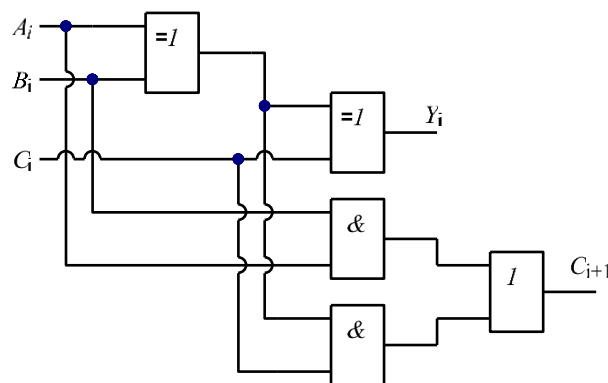
**Сумматоры** служат, как следует из названия, для сложения чисел. Многоразрядный сумматор, в т.ч., в интегральном исполнении, состоит из цепочки одноразрядных сумматоров – несложных схем, которые способны складывать одноразрядные числа.

Алгоритм работы сумматора не сложнее алгоритма сложения чисел «в столбик». Для младшего бита в каскаде справедливо:  $0 + 0 = 0$ ,  $0 + 1 = 1$ ,  $1 + 0 = 1$ ,  $1 + 1 = 0$  с переносом в старший разряд. Следующие по старшинству одноразрядные сумматоры в каскаде имеют вход переноса и реализуют таблицу истинности, показанную на Рис. 13, а.

Здесь:  $A_i$ ,  $B_i$  –  $i$ -тые биты операндов сложения  $A$  и  $B$ ,  $C_i$  – вход переноса  $i$ -того сумматора,  $C_{i+1}$  – выход переноса  $i$ -того сумматора в старший разряд (подключается ко входу переноса следующего по старшинству одноразрядного сумматора). Одноразрядный сумматор, не имеющий входа переноса, немного проще, и работает согласно первой половине таблицы истинности Рис. 13, а. Такой сумматор называется полусумматором.

№ строки	$A_i$	$B_i$	$C_i$	$Y$	$C_{i+1}$
1	0	0	0	0	0
2	0	1	0	1	0
3	1	0	0	1	0
4	1	1	0	0	1
5	0	0	1	1	0
6	0	1	1	0	1
7	1	0	1	0	1
8	1	1	1	1	1

а



б

Рис. 13. Таблица истинности сумматора со входом переноса (а) и его реализация на ЛЭ (б)

Схемотехническая реализация сумматора удобна при использовании логического элемента ИСКЛЮЧАЮЩЕЕ ИЛИ. Такой ЛЭ не является базовым и реализует выражение  $Y = X_1\overline{X_2} + \overline{X_1}X_2$ . Он работает, фактически, простейшим устройством сравнения битов:  $Y = 1$  если  $X_1 \neq X_2$ . Если биты на входе разные, то одно из слагаемых в выражении для ЛЭ примет значение лог. «1» и все выражение окажется равным единице. Если же биты одинаковые (два нуля или две единицы), то каждое из слагаемых в выражении даст лог. «0», чему и окажется равен результат  $Y$ . В этом нетрудно убедиться, подставив все возможные комбинации  $X_1$  и  $X_2$  в выражение для ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ. Заметим, что у такого ЛЭ есть полезное свойство: лог. «1» на входе  $X_1$  приводит к появлению на выходе инвертированного уровня со второго входа  $X_2$ , (т.е. при  $X_1 = 1$   $Y = \overline{X_2}$ ) а при  $X_1 = 0$   $Y = X_2$ . Естественно, входы  $X_1$  и  $X_2$  у этого ЛЭ тождественны.

Для синтеза схемы сумматора можно и нужно использовать формальный подход: методы СКНФ или СДНФ (совершенные конъюнктивная и дизъюнктивная нормальные формы), математический аппарат для упрощения выражений алгебры логики. Однако, в принципе, такая схема может быть синтезирована и просто на основе таблицы истинности и понимания цифровой схемотехники.

Так, из строк 1-4 таблицы истинности (см. Рис. 13, а) следует, что при нулевом значении на входе переноса ( $C_i = 0$ ), выход сумматора  $Y_i$  устанавливается в единицу, если значения  $A_i$  и  $B_i$  – разные. При  $C_i = 1$  ситуация обратная (строки 5 и 8):  $Y_i = 1$  если  $A_i$  и  $B_i$  одинаковы. Иными словами, величину  $Y_i$  для сумматора можно сформировать двумя ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ (см. Рис. 13, б): первый реализует строки 2 и 3 таблицы истинности, а второй, согласно его полезному свойству, описанному выше, инвертирует результат работы первого при установленном в единицу бите  $C_i$ , реализуя строки 5 и 8.

Для формирования сигнала переноса в старший разряд ( $C_{i+1}$ ) заметим: перенос устанавливается в 1, если  $A_i$  и  $B_i$  равны 1 вне зависимости от  $C_i$  (строки 4 и 8) или если  $A_i \neq B_i$  и при этом  $C_i = 1$  (строки 6 и 7). ЛЭ, выполняющий действие  $A_i \neq B_i$ , у нас уже есть в схеме формирования выходного бита; осталось добавить элементы типа И, ИЛИ, которые, фактически, соответствуют аналогичным предложениям русского языка (выделено курсивом в предыдущем предложении). Итоговая схема показана на Рис. 13, а.

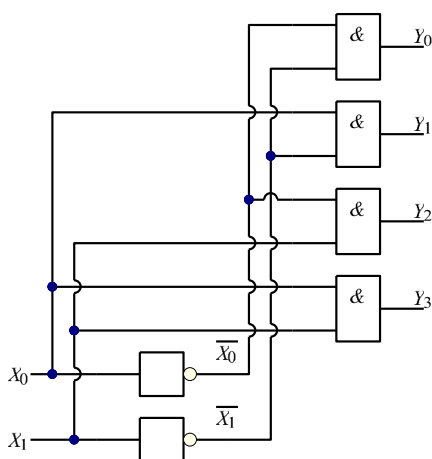


**Дешифраторы и шифраторы** – цифровые комбинаторные узлы, схожие по строению с мультиплексорами и демультиплексорами. Они осуществляют преобразование кодов. В частности, дешифратор получает на вход двоичное число, представленное группой битов  $X[n...0]$  и формирует на выходе число, представленное группой битов  $Y[m...0]$ . Если разрядность входного двоичного числа  $N$  равняется  $n + 1$ , то разрядность выходного числа  $M$  составит  $2^N$ , так как число  $M$  – не двоичное число, а одноединичный код, соответствующий входному числу. В таком коде среди всех битов установлен всего один, остальные биты – нулевые. Позиция, в которой установлена единица, соответствует входному числу дешифратора  $X$ . Если  $X = 0$ , в числе  $M$  будет присутствовать единица только в бите 0, если  $X = 1$  в бите 1 и так далее. Поскольку число комбинаций, которые можно записать, имея  $N$  бит, составляет  $2^N$ , для кода  $Y$  потребуется столько же бит.

Таблица истинности дешифратора с двумя входами и четырьмя выходами показана на Рис. 14, а, а его реализация на ЛЭ – на Рис. 14, б.

$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

а



б

Рис. 14. Таблица истинности дешифратора «2 в 4» (а) и его реализация на ЛЭ (б)

Реализацию дешифратора на ЛЭ можно элементарно составить, проанализировав таблицу истинности и записав для каждой его строки простое выражение алгебры логики. Очевидно, что  $Y_0 = \overline{X_0} \cdot \overline{X_1}$ ,  $Y_1 = X_0 \cdot \overline{X_1}$ ,  $Y_2 = \overline{X_0} \cdot X_1$  и  $Y_3 = X_0 \cdot X_1$ . Для получения инвертированных значений входных битов в схеме задействовано два элемента НЕ, а для формирования выходного одноединичного кода, соответственно, четыре ЛЭ типа 2И.

Электронная промышленность выпускает, главным образом, интегральные схемы, содержащие более одного ЛЭ в корпусе. В частности, в плате лабораторного стенда установлены микросхемы, содержащие по 4 двухвходовых ЛЭ (англ. quad 2-input NAND / NOR gate) и 6 инвертеров (англ. hex inverters). Такой подход, принятый в промышленности изначально, позволял уменьшать размеры электронных устройств, т.к. в схемах чаще всего требовалось несколько ЛЭ каждого типа. Однако после начала широкого распространения микропроцессорной техники и снижения уровня востребованности ЛЭ в приборостроении, появилась и развивается обратная тенденция – к выпуску компонентов со всего одним ЛЭ в сверхкомпактном корпусе.

## 1.4. Задание на проведение лабораторной работы

1. Подключите плату стенда (если она еще не подключена) к выходу «9V» лабораторного блока питания, соблюдая следующую полярность:

- +9В – красный провод;
- «GND» – черный провод

Включите блок питания, убедитесь в том, что индикатор питания платы зажегся.

2. Соберите схему для исследования таблицы истинности любого из четырех доступных на плате ЛЭ типа 2И-НЕ (74НС00). Для этого:

- Подключите к выходу ЛЭ любой из светодиодов: катод светодиода подключите к «земле» при помощи перемычки, а анод, через встроенный токоограничивающий резистор – к выходу ЛЭ при помощи монтажного провода. Высокий уровень напряжения на выходе ЛЭ включит светодиод.
- Подключите к обоим входам ЛЭ по переключателю. Порядок расположения переключателей не имеет значения, т.к. входы используемых ЛЭ тождественны.
- Подключите еще два светодиода к штырьковым разъемам переключателей (и, соответственно, ко входам ЛЭ) аналогичным образом – высокий уровень напряжения на входе ЛЭ должен включать светодиод.

Полученная схема имеет следующий вид:

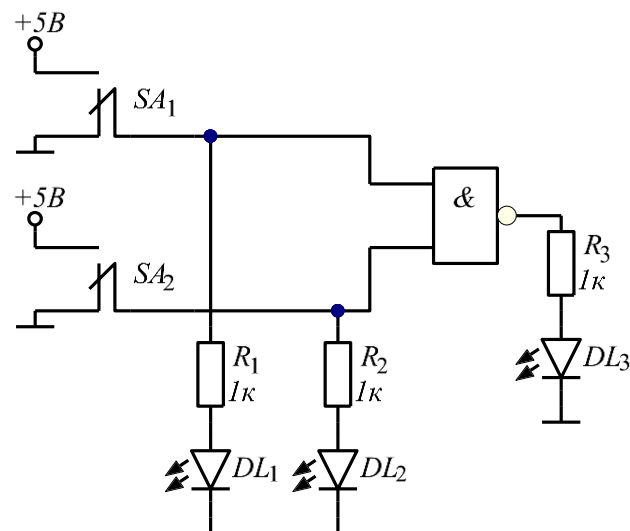


Рис. 15. Схема для исследования таблицы истинности ЛЭ типа 2И-НЕ

3. Снимите таблицу истинности ЛЭ типа 2И-НЕ, перебрав при помощи переключателей  $SA_{1,2}$  все возможные комбинации логических уровней на входе ЛЭ. Очевидно, их число составит 4, а таблица, соответственно, будет иметь следующий вид:

Таблица 1. Формат таблицы истинности ЛЭ с двумя входами

$X_1$	$X_2$	$Y$
0	0	
0	1	
1	0	
1	1	

Согласно схеме низкий логический уровень любой из цепей будет индифферентным для светодиода, а высокий – включенным. Какой из переключателей считать источником сигнала  $X_1$ , а какой –  $X_2$ , не имеет значения, т.к. входы ЛЭ тождественны. Важно не менять условного смысла переключателей в ходе эксперимента. Записывайте низкий логический уровень входных цепей  $X_{1,2}$  и выходной  $Y$  как «0», а высокий – как «1».

4. Переподключив монтажные провода, снимите таблицу истинности еще двух элементов: ЛЭ типа 2ИЛИ-НЕ (74НС02) и интегральной схемы, тип которой не обозначен на плате. Тип этой интегральной схемы заранее неизвестен и его требуется определить самостоятельно, обратившись к описанию данной лабораторной работы.

5. В отчете по лабораторной работе сравните таблицы истинности исследованных ЛЭ с известными теоретически соотношениями алгебры логики, описывающими их работу.

6. Соберите схему, демонстрирующую реализацию ЛЭ на универсальных ЛЭ другого типа, и исследуйте ее таблицу истинности. Бригады с **четными** номерами собирают схему, реализующую функцию ИЛИ на ЛЭ 2И-НЕ (Рис. 16, а), с **нечетными** – функцию И на ЛЭ типа 2ИЛИ-НЕ (Рис. 16, б). В целях упрощения сборки схемы для инвертирования сигналов ( $DD_{1,2}$ ) используйте не универсальные ЛЭ того же типа, что и  $DD_3$ , а инверторы типа 74НС14, доступные на плате стенда.

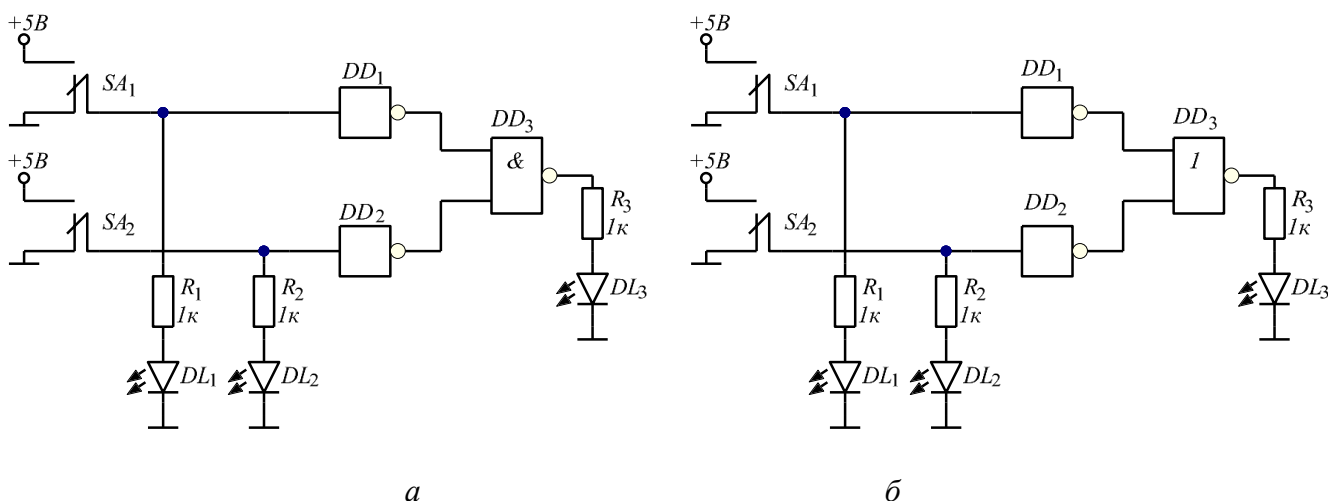


Рис. 16. Реализация функции ИЛИ на ЛЭ 2И-НЕ (а) и И на ЛЭ типа 2ИЛИ-НЕ (б)

7. Соберите схему одноразрядного сумматора согласно Рис. 17. Обратите внимание, что данная схема отличается от рассмотренной в описании лабораторной работы, так как на плате стенда присутствуют только универсальные ЛЭ И-НЕ, ИЛИ-НЕ:

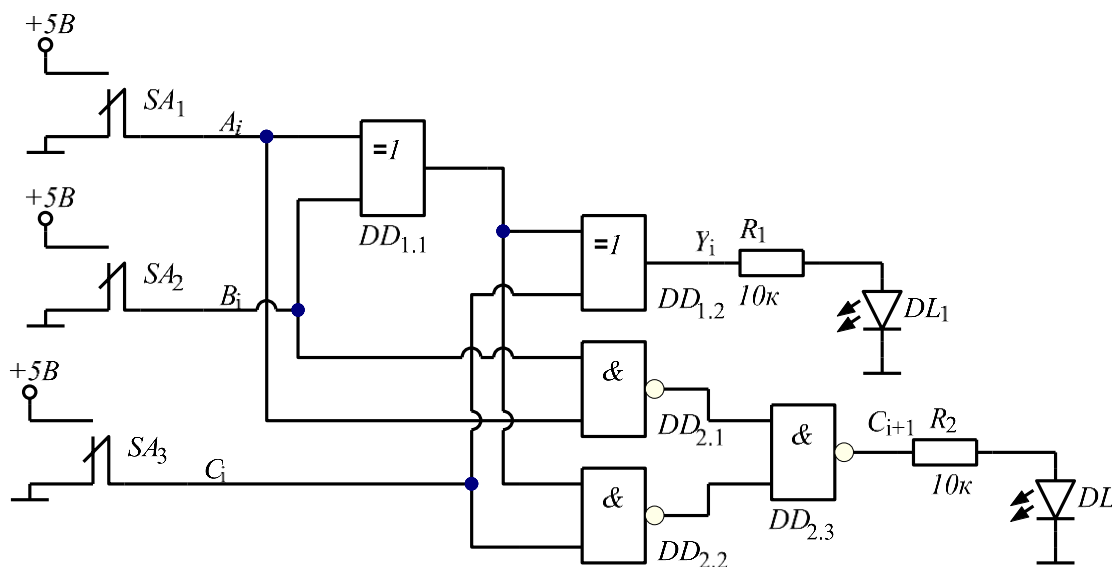


Рис. 17. Схема для исследования одноразрядного сумматора

Учтите, что в схеме присутствуют логические элементы типа ИСКЛЮЧАЮЩЕЕ ИЛИ. Найдите на плате стенда такие ЛЭ, используя уже выполненные пункты задания.

8. Устанавливая на переключателях значения входных сигналов схемы, вычислите при помощи сумматора значения выражений, указанных в таблице, и заполните ее:

Таблица 2.

Выражение	Результат (двоичное число)	Результат (десятичное число)
$0+0+0$		
$0+0+1$		
$0+1+0$		
$0+1+1$		
$1+0+0$		
$1+0+1$		
$1+1+0$		
$1+1+1$		

Обратите внимание, что вход переноса одnorазрядного сумматора фактически эквивалентен любому из входов слагаемых.

9. Соберите схему дешифратора «2 в 4» на ЛЭ согласно схеме Рис. 18 и заполните таблицу истинности для этой схемы (4 строки).

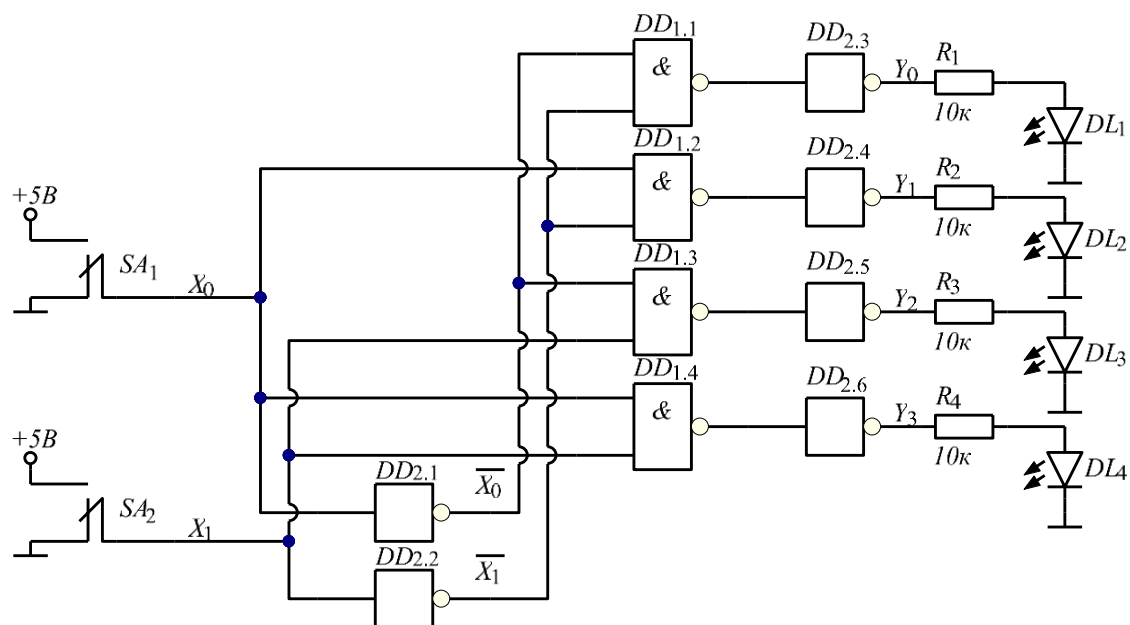


Рис. 18. Схема для исследования дешифратора «2 в 4»

В качестве инверторов используйте имеющиеся в плате стенда элементы 74НС14 (инвертирующие триггеры Шмитта).

## 2. МУЛЬТИВИБРАТОРЫ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

### 2.1. Краткое описание лабораторной работы

1. В лабораторной работе изучаются наиболее популярные схемы мультивибраторов на ЛЭ 74НС14, 74НС00, 74НС02.
2. Одновременно собирается три схемы: две на звуковую частоту и одна – на частоту в доли или единицы Гц.
3. Для исследования собранных схем используется цифровой осциллограф.
4. На основе собранных схем собирается и отлаживается более сложная схема двухтонального генератора звука.

### 2.2. Основные теоретические сведения

Самой простой схемой мультивибратора на логических элементах является схема, которую можно построить на инвертирующем триггере Шмитта. По логике работы она очень похожа на схему мультивибратора на аналоговом компараторе с гистерезисом, которая подробно описана в [АнСХТ].

Обычный элемент НЕ (инвертор) логически похож на инвертирующий аналоговый компаратор без гистерезиса, опорным напряжением для которого является пороговое напряжение ЛЭ  $U_{\text{пор}}$ : если входное напряжение ниже порогового, оно воспринимается как уровень лог. «0» и на выходе формируется напряжение лог. «1», и наоборот.

Среди стандартных микросхем практически любой серии, однако, встречаются несколько необычные элементы, входные каскады которых имеют гистерезис, т.е. являются триггерами Шмитта. Для таких элементов, рассматривая пример инвертора, переход из лог. «0» в лог. «1» по выходу происходит при меньшем уровне входного напряжения  $U_{\text{пор1}}$ , чем обратный переход при  $U_{\text{вх}} = U_{\text{пор2}}$ . Разница входных напряжений, при которых происходит изменение выходного логического уровня, т.е.  $U_{\Gamma} = (U_{\text{пор2}} - U_{\text{пор1}})$ , является шириной петли гистерезиса триггера Шмитта (см. Рис. 19).

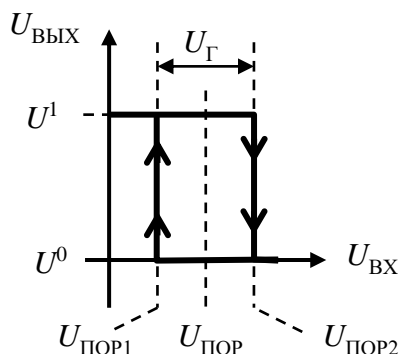


Рис. 19. Гистерезис инвертирующего триггера Шмитта

Если в аналоговой схеме сравнения напряжений ширину петли гистерезиса можно программировать при помощи резисторов в обвязке компаратора или ОУ, то для ЛЭ с триггером Шмитта величины  $U_{\text{пор1,2}}$  являются паспортными, и никаких резисторов, естественно, не требуется. Согласно документации, для интегральной микросхемы 74НС14 при напряжении питания 4.5 В величина  $U_{\text{пор2}}$ , так же называемая верхним порогом переключения (англ. «positive going threshold») составляет порядка 2.4 В, а величина нижнего порога  $U_{\text{пор1}}$  (англ. «negative going threshold») – порядка 1.4 В.

Основная задача, решаемая при помощи инвертирующих триггеров Шмитта 74НС14 и их аналогов – обеспечение помехозащищенности входов цифровых схем и узлов, а вовсе не сравнение напряжений, в связи с чем точность, с которой выдерживаются величины  $U_{\text{пор1,2}}$ , невелика. Так, при питании 4.5 В ширина петли гистерезиса 74НС14 может изменяться от 0.4 до порядка 1.4 В. В связи с этим расчеты частоты мультивибратора, построенного на таком элементе, дают лишь оценочный результат, что, впрочем, не является проблемой при создании

таких радиолюбительских схем, как генераторы звуковых сигналов, гирлянды, мигающие индикаторы и т.д.

Схема мультивибратора на инвертирующем триггере Шмитта показана на Рис. 20.

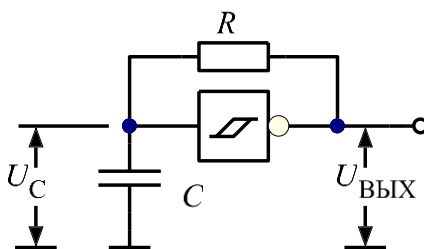


Рис. 20. Мультивибратор на инвертирующем триггере Шмитта

После включения питания конденсатор  $C$  разряжен, и на вход ЛЭ поступает напряжение ниже величины  $U_{\text{пор1}}$ . Это означает, что на выходе формируется напряжение лог. «1», для ЛЭ серии 74НС равное  $U_{\text{вых}} = U^1 \approx U_{\text{П}}$ , и начинается заряд конденсатора током, протекающим через резистор  $R$  из выхода ЛЭ. Когда напряжение на его верхней обкладке достигает уровня  $U_{\text{пор2}}$ , выходное напряжение схемы скачкообразно изменяется на  $U_{\text{вых}} = U^0 \approx 0$  В, и начинается разряд конденсатора током, протекающим через резистор  $R$ , но уже в выход ЛЭ. Таким образом, возникает устойчивая генерация прямоугольных импульсов на выходе схемы.

Для стабильной работы схемы номинал резистора должен быть не слишком большим. Входной ток утечки ЛЭ 74НС14 составляет порядка 100 нА. Если сопротивление  $R$  не превышает 1 МОм, тогда величина тока, перезаряжающего конденсатор в диапазоне напряжений от  $U_{\text{пор1}}$  до  $U_{\text{пор2}}$ , окажется на порядок больше входного тока утечки ЛЭ, и в расчетах им можно будет пренебречь.

В [АнСХТ] было показано, что при подаче в нулевой момент времени на интегрирующую RC-цепь прямоугольного импульса амплитудой  $U_{\text{П}}$  напряжение на обкладках конденсатора будет меняться по экспоненциальному закону вида

$$(2) U_C(t) = U_{\text{П}} (1 - e^{-t/\tau}), \text{ где } \tau = RC.$$

Процесс заряда конденсатора при этом описывается кривой, показанной на Рис. 21, а.

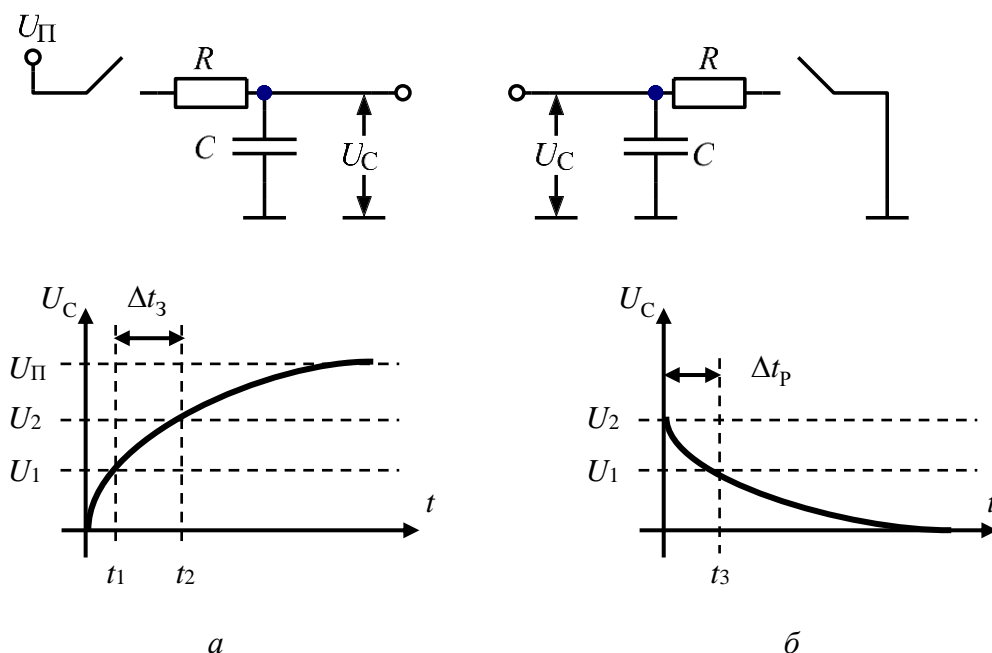


Рис. 21. Процесс заряда (а) и разряда (б) конденсатора в интегрирующей RC-цепи



Для математического анализа работы мультивибратора, используя соотношение (2), выведем формулу, которая позволяет рассчитать время  $\Delta t_3$ , необходимое, чтобы зарядить конденсатор, включенный в интегрирующую RC-цепь, от некоторого напряжения  $U_1$  до  $U_2$  источником, выдающий напряжение  $U_{\Pi}$ . До напряжения  $U_1$  конденсатор зарядится за время  $t_1$ , которое можно определить из соотношения  $U_1 = U_{\Pi} (1 - e^{-t_1/\tau})$ . Очевидно,  $t_1 = -\tau \cdot \ln \left(1 - \frac{U_1}{U_{\Pi}}\right)$ . Далее конденсатор продолжит заряд до уровня напряжения  $U_2$ . На заряд конденсатора с нуля до этого напряжения уйдет время  $t_2$  равное, соответственно,  $t_2 = -\tau \cdot \ln \left(1 - \frac{U_2}{U_{\Pi}}\right)$ . Искомое время  $\Delta t_3$  составит разницу этих двух времен, то есть,

$$(3) \Delta t_3 = t_2 - t_1 = -\tau \cdot \ln \left( \frac{1 - \frac{U_2}{U_{\Pi}}}{1 - \frac{U_1}{U_{\Pi}}} \right) = -RC \cdot \ln \left( \frac{U_{\Pi} - U_2}{U_{\Pi} - U_1} \right).$$

По аналогии с выражением (2) можно составить соотношение, описывающее процесс разряда конденсатора, изначально заряженного до напряжения  $U_2$  через резистор, если в нулевой момент времени замыкается ключ и резистор оказывается подключен к земле:

$$(4) U_C(t) = U_2 \cdot e^{-t/\tau}, \text{ где } \tau = RC.$$

Время разряда конденсатора, через которое напряжение на конденсаторе опустится до уровня  $U_1$ , очевидно, составит

$$(5) t_p = t_3 = -\tau \cdot \ln \left( \frac{U_1}{U_2} \right).$$

Соотношения (3) и (5) позволяют легко вывести формулы для расчета длительности импульса и паузы сигнала на выходе любого мультивибратора.

В случае мультивибратора на инвертирующем триггере Шмитта, напряжение на конденсаторе изменяется между величинами его пороговых напряжений по экспоненциальному закону и временные диаграммы напряжений на конденсаторе и выходе схемы имеют вид, показанный на Рис. 22.

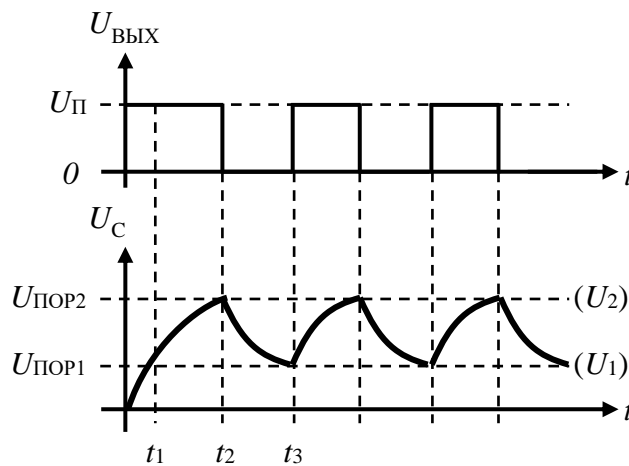


Рис. 22. Осциллограммы напряжений в узлах схемы мультивибратора на инвертирующем триггере Шмитта

Примем, что напряжение лог. «1» на выходе ЛЭ, изготовленного по КМОП-технологии, при малом выходном токе составляет  $U^1 = U_{\Pi}$ , а напряжение лог. «0»  $U^0 = 0$ . Тогда длительность импульса на выходе схемы составляет, согласно (3),

$$(6) t_{\Pi} = -RC \cdot \ln \left( \frac{U_{\Pi} - U_{ПОР2}}{U_{\Pi} - U_{ПОР1}} \right),$$

а паузы, в соответствии с (5),

$$(7) t_{\Pi} = -RC \cdot \ln \left( \frac{U_{ПОР1}}{U_{ПОР2}} \right).$$

С учетом свойств логарифмов период колебаний на выходе схемы можно рассчитать, как

$$(8) T = t_{\text{н}} + t_{\text{п}} = -RC \cdot \ln \left( \frac{U_{\text{п}} - U_{\text{пор2}}}{U_{\text{п}} - U_{\text{пор1}}} \cdot \frac{U_{\text{пор1}}}{U_{\text{пор2}}} \right) = \frac{1}{f}$$

где  $f$  – рабочая частота мультивибратора.

Если подставить в выражение (8) типичные значения порогов переключения микросхемы 74НС14 для напряжения питания 5 В, можно получить простое выражение для оценки периода выходных сигналов вида:

$$(9) T = -RC \cdot \ln \left( \frac{5-2.38}{5-1.4} \cdot \frac{1.4}{2.38} \right) \approx 0.8RC$$

Использовать для оценки периода выходного сигнала безразмерный коэффициент с более высокой точностью, чем 0.8, не принято: с учетом большого разброса пороговых напряжений триггера Шмитта и невысокой точности популярных керамических и электролитических конденсаторов, расчет носит весьма приблизительный характер. Это, впрочем, не является проблемой для области применения схемы.

Особое внимание следует уделить тому обстоятельству, что формула для оценки выходной частоты сильно зависит от конкретного семейства микросхем. Так, для ЛЭ типа 74НСТ14 пороговые напряжения заметно отличаются от таковых для 74НС14, и безразмерный коэффициент в выражении (9) составит уже 0.67. Очевидно, асимметрия переходной характеристики триггера Шмитта (см. Рис. 19) приводит к тому, что коэффициент заполнения выходного сигнала не равен 50%, хоть и близок к этой величине.

Другая крайне популярная схема мультивибратора на ЛЭ строится с использованием инверторов без гистерезиса, или, чаще, с использованием наиболее распространенных универсальных ЛЭ, работающих в роли инверторов. Данная схема (см. Рис. 23), несмотря на чуть большую сложность, по историческим причинам является более популярной, чем предыдущая. Это связано с некогда крайне высокой распространенностью инверторов и универсальных ЛЭ, тогда как инвертирующие триггеры Шмитта на заре развития отечественной цифровой схемотехники были не столь доступны радиолюбителям.

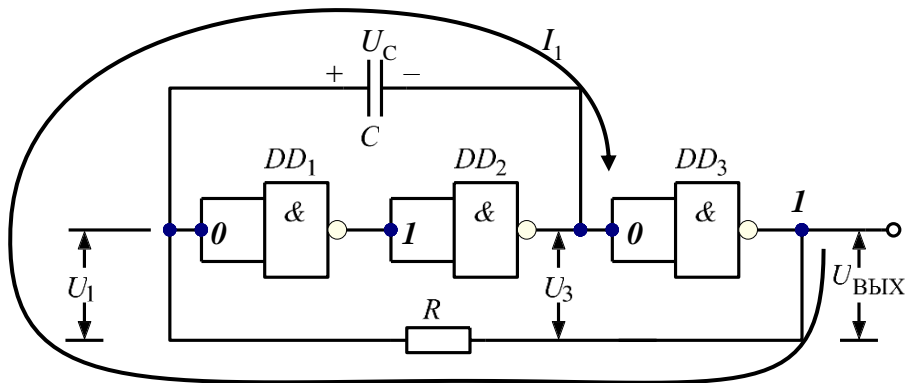


Рис. 23. Мультивибратор на инверторах, исходное состояние

Прямых аналогий между этой схемой и хорошо известными схемами мультивибраторов на ОУ и транзисторах нет.

При отсутствии конденсатора и закороченном резисторе схема вырождается в три последовательно включенных инвертора, причем выход последнего подключен ко входу первого. Такая схема по определению нестабильна, т.к. выполняет функцию  $X = \overline{\overline{\overline{X}}}$ . Без пассивных компонентов на выходе схемы возникли бы импульсы, частота которых была бы ограничена лишь быстродействием ЛЭ и составляла бы для серии микросхем 74НС многие мегагерцы.

Наличие резистора и конденсатора вносит прогнозируемые задержки между переключениями выходного ЛЭ схемы. Предположим, что после включения питания схемы первый ЛЭ  $DD_1$  находится в состоянии  $U_1 = U^0$  (лог. «0») по входу. Тогда напряжение на выходе  $DD_2$  ( $U_3$ ) также будет равно уровню лог. «0», а  $U_{\text{вых}} = U^1 \approx 5$  В.

Т.к.  $U_3$  соответствует уровню лог. «0» ( $\approx 0$  В), а конденсатор не может перезарядиться мгновенно, в течение некоторого времени будет справедливым неравенство  $U_1 < U_{\text{ПОР}}$ , т.е.  $U_1$  будет восприниматься ЛЭ  $DD_1$  как лог. «0». В течение всего этого времени через схему будет протекать ток  $I_1$ , который будет заряжать конденсатор  $C$  до некоторого растущего во времени напряжения  $U_C$ , в полярности, указанной на Рис. 23. Правая обкладка конденсатора в этот интервал времени подключена к «земле» через выход ЛЭ.

Когда  $U_C$  и, соответственно, напряжение  $U_1$  достигнет уровня  $U_{\text{ПОР}}$  ( $\approx 2.5$  В для серии ЛЭ 74НС), все ЛЭ схемы изменят состояние на противоположное (см. Рис. 24).  $U_3$  становится равным  $U^1 \approx U_{\text{П}} = 5$  В. Это напряжение ( $U_3$ ) складывается с напряжением, до которого зарядился конденсатор, и прикладывается ко входу ЛЭ  $DD_1$ .

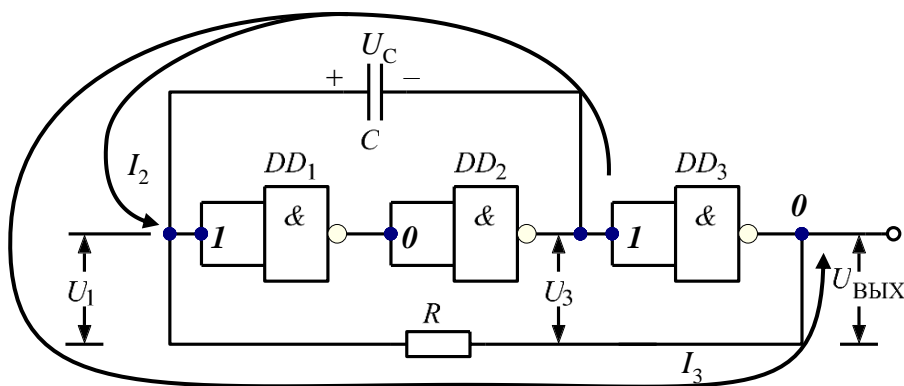


Рис. 24. Мультивибратор на инверторах, состояние после первого переключения

Теоретически, сразу после переключения  $U_1$  составило бы  $U_1 = U_3 + U_C = 7.5$  В. На практике же, напряжения на входах ЛЭ ограничены встроенными защитными диодами, включенными согласно Рис. 25.

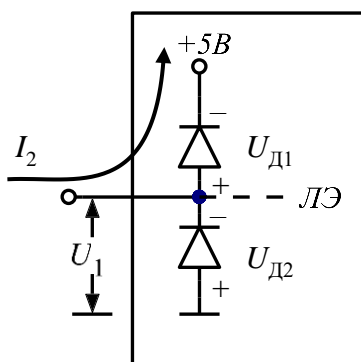


Рис. 25. Защитные диоды на входах цифровых микросхем в режиме ограничения входного напряжения

При эксплуатации ЛЭ в штатном режиме, когда его входное напряжение не превышает напряжения питания, влияние этих диодов практически отсутствует, и входные токи ЛЭ, выполненного по КМОП-технологии, составляют всего порядка 100 нА. Однако сразу после переключения верхний диод оказывается смещенным в прямом направлении, и пропускает через себя значительный ток  $I_2$ , втекающий в цепи питания схемы. Ток  $I_2$  ограничен лишь нагрузочной способностью ЛЭ  $DD_2$  и составляет для серии 74НС порядка 20-25 мА. Этот ток быстро разряжает конденсатор до уровня  $U_C$  порядка  $U_{Д1}$ , после чего значительно уменьшается. Далее за разряд конденсатора отвечает лишь ток  $I_3$ , который должен быть меньше максимального выходного тока ЛЭ, и составлять не более 10-15 мА. В процессе разряда конденсатора напряжение  $U_1$  до величины порога переключения ЛЭ  $U_{\text{ПОР}} \approx U_{\text{П}} / 2 = 2.5$  В.

Далее опять происходит переключение схемы и логические уровни в ее узлах оказываются аналогичными показанному на Рис. 23. Однако, полярность напряжения на обкладках

конденсатора оказывается противоположной показанному на Рис. 24. В дело вступает нижний защитный диод (см. Рис. 25), быстро разряжая конденсатор так, что  $U_1$  оказывается равным приблизительно  $-U_{Д2}$ . После этого ток через нижний защитный диод значительно падает, и происходит сравнительно медленная перезарядка конденсатора, скорость которой в схеме задается резистором, до момента времени, когда опять выполняется условие  $U_1 = U_{ПОР}$ . Далее схема переходит в состояние согласно Рис. 24 и т.д. В схеме возникает устойчивая генерация.

Временные диаграммы напряжений схемы Рис. 23 показаны ниже. В соответствии с принципом работы схемы, на входе ЛЭ  $DD_1$  имеют место непродолжительные положительные и отрицательные выбросы напряжения, блокируемые защитными диодами.

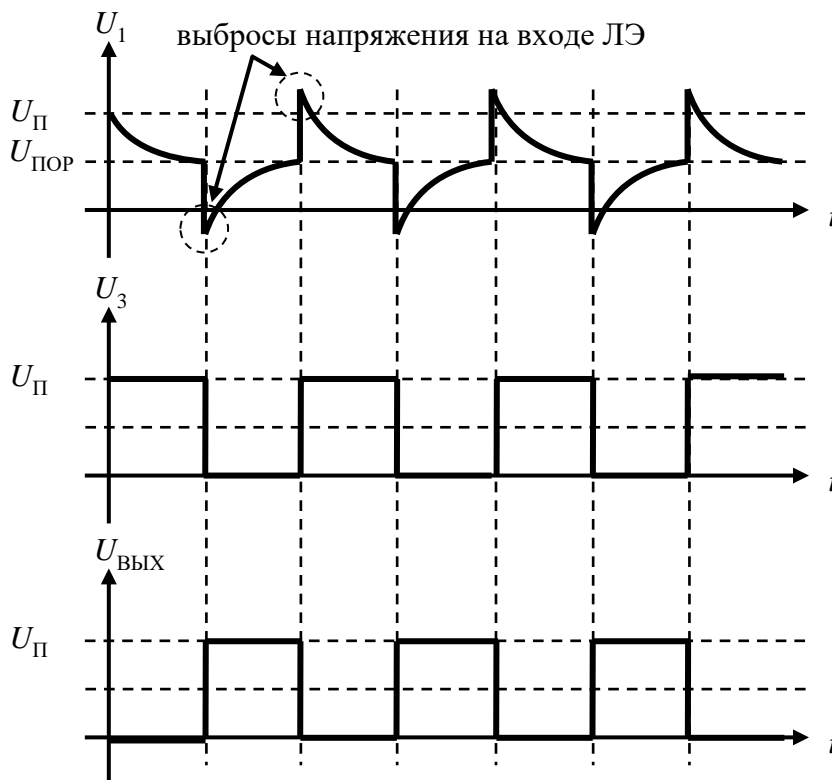


Рис. 26. Временные диаграммы напряжений в узлах схемы мультивибратора на инверторах

Для того чтобы оценить длительность импульса напряжения на выходе схемы, вновь воспользуемся формулой (3), по которой рассчитывается время зарядки конденсатора от некоторого начального  $U_1$  до некоторого конечного значения напряжения  $U_2$  от источника  $U_{П}$ . В эту формулу в качестве  $U_1$  подставим величину  $(-U_{Д2})$ , а в качестве конечного  $U_2$  – величину порогового напряжения ЛЭ  $U_{ПОР}$ . Тогда

$$(10) \quad t_{И} = -RC \cdot \ln \left( \frac{U_{П} - U_{ПОР}}{U_{П} + U_{Д2}} \right)$$

Аналогично используем для оценки длительности паузы, когда конденсатор разряжается от напряжения  $(U^1 \approx U_{П}) + U_{Д1}$  до напряжения переключения ЛЭ  $U_{ПОР}$ , выражение (5):

$$(11) \quad t_{П} = -RC \cdot \ln \left( \frac{U_{ПОР}}{U_{П} + U_{Д1}} \right).$$

В литературе зачастую считают, что порог переключения ЛЭ серии НС составляет  $0.5 \cdot U_{П}$ , а падением напряжения на защитных диодах пренебрегают, считая их нулевыми. В этом случае формула для оценки периода колебаний на выходе схемы предельно упрощается:

$$T = t_{И} + t_{П} = -RC \cdot \ln(0.5 \cdot 0.5) \approx 1.4 \cdot RC.$$

Важно понимать, что данное выражение, хоть и весьма удобно, получено при помощи весьма грубых приближений и дает очень приблизительный результат.

Полезной особенностью мультивибратора на инверторах, сконструированных из универсальных ЛЭ, в частности, типа 2И-НЕ, является крайняя легкость создания цифрового входа разрешения работы схемы. Если отключить от точки приложения напряжения  $U_1$  один из входов  $DD_1$  (см. Рис. 23), и подать на него уровень лог. «0», то на выходе схемы будет удерживаться постоянный уровень лог. «1». Если же на этот вход подать уровень лог. «1», начнется работа мультивибратора. Таким образом, полученный вход является входом разрешения с *высоким активным уровнем*.

Коэффициент заполнения выходного сигнала такой схемы, построенной на микросхемах семейства 74НС, как и для схемы мультивибратора на инвертирующем триггере Шмитта, близок к 50%. Асимметрия выходного сигнала здесь определяется как отличием порогового напряжения ЛЭ от величины  $0.5 \cdot U_{\text{П}}$ , так и отличием вольтамперных характеристик защитных диодов на входах элемента  $DD_1$ .

Обе описанные схемы содержат всего одну времязадающую RC-цепь и не позволяют индивидуально задать длительность импульса и длительность паузы на выходе. Этого недостатка лишена еще одна распространенная схема мультивибратора на ЛЭ, показанная на Рис. 27, выгодно отличающаяся от прочих схем с двумя RC-цепями минимальным числом компонентов. Идеологически эта схема очень похожа на мультивибратор на транзисторах (см. [АнСХТ]).

Рассмотрим состояние схемы сразу после включения ее питания. Оба конденсатора,  $C_1$  и  $C_2$ , разряжены. Оба входа ЛЭ подтянуты резисторами  $R_{1,2}$  к земле, т.е. на обоих выходах ЛЭ должен сформироваться уровень лог. «1». Как только на выходе первого из двух ЛЭ возникнет этот уровень лог. «1», напряжение  $U^1$  через конденсатор, который не может перезарядиться мгновенно, поступит на вход второго ЛЭ, и на его выходе возникнет уже уровень лог. «0». Поскольку ЛЭ не идентичны, их быстродействие разнится, и один ЛЭ после включения питания «опередит» второй, сформировав лог. «1» на выходе. После подачи питания они, таким образом, перейдут в разные состояния.

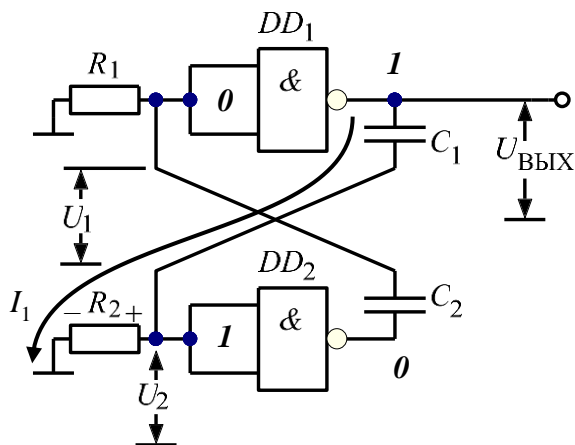


Рис. 27. Мультивибратор на ЛЭ с индивидуальной установкой времен импульса и паузы, исходное состояние

Пусть, для определенности, после подачи питания схема быстро переходит в состояние, показанное на Рис. 27 с уровнем лог. «1» на выходе, где действует напряжение  $U_{\text{ВЫХ}}$ . Схема останется в этом состоянии, пока на входе  $DD_2$  действует уровень лог. «1», т.е. пока через  $R_2$  протекает ток  $I_1$ , заряжающий  $C_1$ , а напряжение, до которого зарядился  $C_1$ , не превышает величины  $(U_{\text{П}} - U_{\text{ПОР}})$ .

В соответствии с выражением (3) можно получить формулу, которая определяет длительность импульса на выходе схемы. Для этого подставим в качестве конечного напряжения, до которого заряжается конденсатор, величину  $(U_{\text{П}} - U_{\text{ПОР}})$ . В качестве начального напряжения, от которого заряжается конденсатор, подставим нулевое значение. Это корректно и для

рассмотрения момента подачи питания схемы, и для анализа ее работы в устоявшемся режиме, в чем мы еще убедимся ниже:

$$(12) \quad t_{\text{И}} = -R_2 C_1 \cdot \ln \left( \frac{U_{\text{П}} - (U_{\text{П}} - U_{\text{ПОР}})}{U_{\text{П}}} \right) = -R_2 C_1 \cdot \ln \left( \frac{U_{\text{ПОР}}}{U_{\text{П}}} \right)$$

Когда напряжение, до которого зарядился конденсатор, достигает величины  $(U_{\text{П}} - U_{\text{ПОР}})$ , в соответствии с правилом Кирхгофа для контура величина  $U_2$  на входе DD2 падает до уровня порогового напряжения  $U_{\text{ПОР}}$  и схема меняет свое состояние на противоположное: ЛЭ DD2 определит состояние своего входа как лог. «0» и перейдет в лог. «1» по выходу.

Этот уровень напряжения приложится через разряженный конденсатор  $C_2$  ко входу DD1, и он тоже изменит свое состояние на противоположное ( $U_{\text{ВЫХ}} = U^0$ ), показанное на Рис. 28. Как и для предыдущей схемы, при этом на вход DD2 поступит отрицательное напряжение, до которого зарядился конденсатор  $C_1$ . Оно равно  $(U_{\text{П}} - U_{\text{ПОР}})$  и блокируется нижним входным защитным диодом ЛЭ. Благодаря ему конденсатор  $C_1$  быстро разрядится до напряжения  $U_{\text{Д2}}$ , затем скорость разряда снизится и будет определяться особенностями вольтамперной характеристики защитного диода. Для простоты анализа будем считать, что за время паузы  $C_1$  разряжается до нуля.

Во время паузы конденсатор  $C_2$  заряжается током  $I_2$ , протекающим из выхода DD2 и резистор  $R_1$  в землю. Состояние схемы вернется к исходному, как только  $C_2$  зарядится до уровня напряжения  $(U_{\text{П}} - U_{\text{ПОР}})$ . Аналогично выражению (12), длительность паузы можно определить как

$$(13) \quad t_{\text{П}} = -R_1 C_2 \cdot \ln \left( \frac{U_{\text{ПОР}}}{U_{\text{П}}} \right).$$

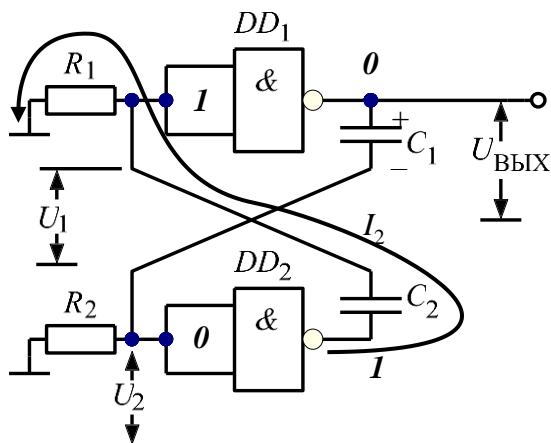


Рис. 28. Мультивибратор на ЛЭ с индивидуальной установкой времен импульса и паузы, состояние после первого переключения

Период следования прямоугольных импульсов на выходе можно определить при помощи выражения:

$$(14) \quad T = t_{\text{И}} + t_{\text{П}} = -\ln \left( \frac{U_{\text{ПОР}}}{U_{\text{П}}} \right) \cdot [R_2 C_1 + R_1 C_2].$$

Как видно, в первом приближении наличие защитных диодов на поведение схемы не влияет. В отличие от предыдущей схемы, здесь имеют место лишь небольшие отрицательные выбросы напряжения на входе ЛЭ



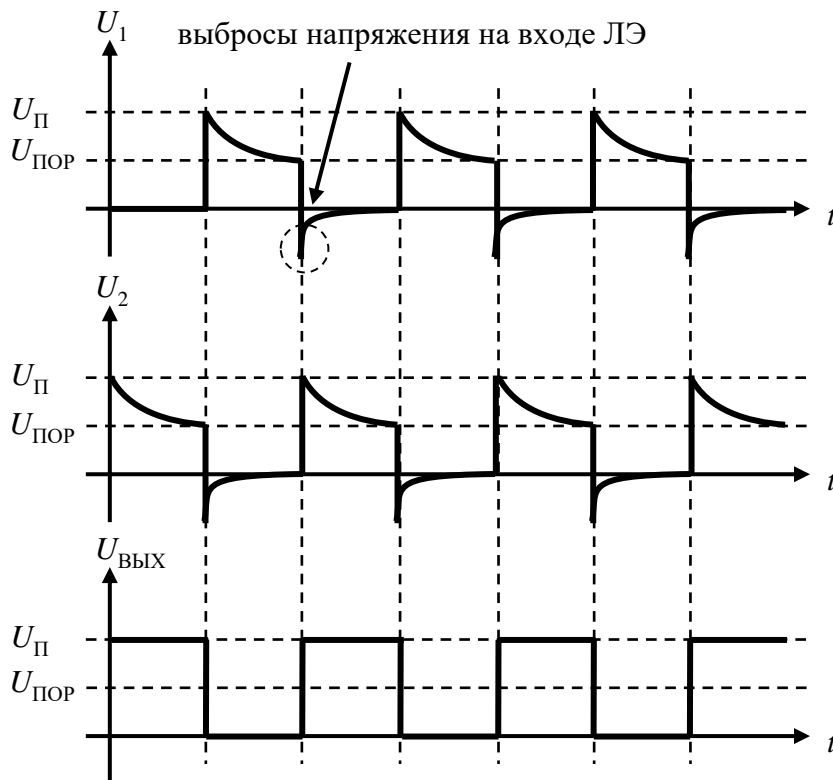


Рис. 29. Временные диаграммы напряжений схемы мультивибратора на ЛЭ с независимой установкой длительности импульса и паузы

В действительности к концу каждого интервала времени, когда схема пребывает в одном из двух устойчивых состояний, конденсатор на входе того ЛЭ, который в данный момент выдает уровень лог. «1», разряжается не до конца. Степень его остаточного заряда определяется и номиналом резистора времязадающей цепи, куда он включен, и вольтамперной характеристикой нижнего защитного диода ЛЭ, и постоянной времени второй времязадающей цепи (она влияет на продолжительность разряда этого конденсатора). В результате, когда один ЛЭ, переходит по выходу из состояния лог. «0» в лог. «1», ко входу другого ЛЭ сразу после этого прикладывается не напряжение  $U_1 \approx U_{\Pi}$ , а несколько меньшее. Это приводит к тому, что длительности импульса и паузы на выходе схемы оказываются несколько ниже расчетных. Математическое описание этого эффекта – и крайне трудоемкая задача, и бессмысленная, т.к. мультивибраторы на времязадающих RC-цепях по определению являются неточными устройствами. Там, где требуются источники стабильной частоты, применяются сложные синтезаторы частот, в основе которых лежат генераторы, включающие в свой состав прецизионный кварцевый резонатор.

Многообразие схем мультивибраторов на цифровых микросхемах описанными решениями, естественно, не исчерпывается. Однако большинство таких схем можно анализировать, используя описанный в данной главе подход.

### 2.3. Задание на проведение исследований

1. Соберите **схему №1: мультивибратор на инвертирующем триггере Шмитта** (см. Рис. 30), используя для времязадающей цепи компоненты, согласно номеру бригады, по таблице. Перед сборкой схемы измерьте при помощи мультиметра реальное значение емкости конденсатора времязадающей цепи. В дальнейшем во всех теоретических расчетах используйте измеренные (а не написанные на плате стенда) значения емкостей.

Обратите внимание, что токоограничительный резистор уже включен последовательно светодиоду на плате, и для использования светодиода достаточно правильно поставить переключку.

Таблица 3.

№ бригады	Номиналы компонентов для схем мультивибраторов							
	Схема №1		Схема №2		Схема №3			
	$R_1$ , кОм	$C_1$ , нФ	$R_2$ , кОм	$C_2$ , нФ	$R_3$ , кОм	$C_3$ , нФ	$R_4$ , кОм	$C_4$ , нФ
1	220	1000	47	10	10	220	2.2	100
2	220	470	47	10	2.2	1	470	47
3	100	1000	220	1	10	100	1	10
4	220	4700	47	47	10	1	470	10
5	100	4700	220	1	47	220	2.2	10
6	220	1000	100	1	10	10	47	47
7	470	470	47	10	1	100	2.2	220
8	220	4700	100	47	47	220	4.7	100
9	100	4700	220	10	10	47	47	100
10	220	1000	100	10	47	100	10	47

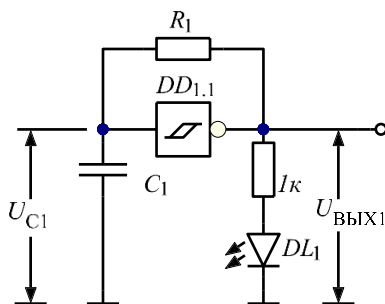


Рис. 30. Схема №1 для исследования мультивибратора на инвертирующем триггере Шмитта

2. Подключите канал №1 осциллографа к выходу схемы  $U_{\text{вых1}}$ , канал №2 – к верхней обкладке конденсатора  $C_1$  ( $U_{C1}$ ). Измерьте при помощи осциллографа и запишите в протокол наблюдений:

- Длительность импульса  $t_{\text{и1}}$ .
- Длительность паузы  $t_{\text{п1}}$ .
- Пороговые напряжения инвертера с триггером Шмитта  $U_{\text{пор1}}$  и  $U_{\text{пор2}}$ . При достижении одного из двух пороговых значений напряжением  $U_{C1}$  состояние выхода ЛЭ меняется на противоположное (при этом также меняется направление тока конденсатора – заряд/разряд).

При составлении отчета сравните измеренные значения длительностей импульса и паузы со значениями, рассчитанными по соотношениям (6) и (7). Напряжение питания микросхем платы составляет 5 В. При расчете используйте измеренные значение емкости конденсатора и пороговые напряжения ЛЭ.

3. Зарисуйте или сфотографируйте осциллограмму, на которой одновременно присутствуют сигналы каналов №1 и №2. Приложите осциллограмму к отчету по лабораторной работе.

4. Не разбирая схемы №1, соберите **схему №2: простейший мультивибратор на ЛЭ типа 2И-НЕ** (см. Рис. 31). Выберите номиналы компонентов вреязадающей цепи согласно номеру бригады (Таблица 3). Перед сборкой схемы измерьте при помощи мультиметра реальное значение емкости конденсатора вреязадающей цепи.

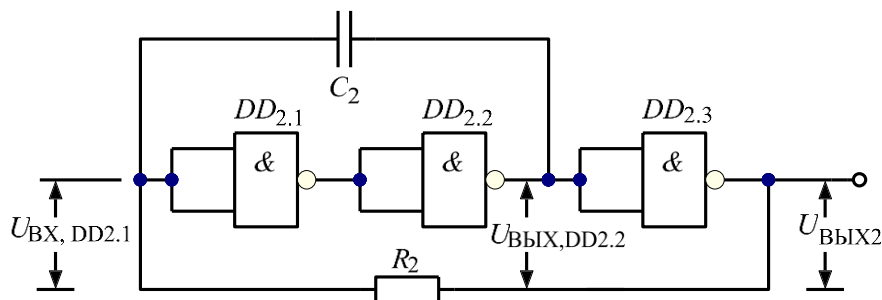


Рис. 31. Схема №2 для исследования простейшего мультивибратора на ЛЭ типа 2И-НЕ

5. Подключите канал №1 осциллографа к выходу всей схемы  $U_{\text{вых}2}$ , канал №2 – ко входу ЛЭ  $DD_{2.1}$  ( $U_{\text{вх}, DD_{2.1}}$ ), канал №3 – к выходу  $DD_{2.2}$  ( $U_{\text{вых}, DD_{2.2}}$ ). Измерьте при помощи осциллографа и запишите в протокол наблюдений:

- Длительность импульса  $t_{\text{и}2}$ .
- Длительность паузы  $t_{\text{п}2}$ .
- Пороговое напряжение ЛЭ  $U_{\text{пор}}$ . Когда  $U_{\text{вх}, DD_{2.1}}$  достигает порогового значения, схема меняет состояние на противоположное, а само входное напряжение  $DD_{2.1}$  меняется скачкообразно.
- Напряжения отпирания верхнего защитного диода ЛЭ  $U_{\text{д}1}$ . Для его определения проще всего использовать курсоры осциллографа. Напряжением отпирания диода считайте разность напряжения на входе  $DD_{2.1}$ , при котором начинается медленный разряд конденсатора  $C_2$  по экспоненциальному закону (т.е. прекращается быстрый разряд через диод) и напряжения питания (см. Рис. 32).
- Напряжения отпирания нижнего защитного диода ЛЭ  $U_{\text{д}2}$ . Напряжением отпирания диода считайте значение напряжения на входе  $DD_{2.1}$ , при котором начинается медленный заряд конденсатора  $C_2$  по экспоненциальному закону (см. Рис. 32).

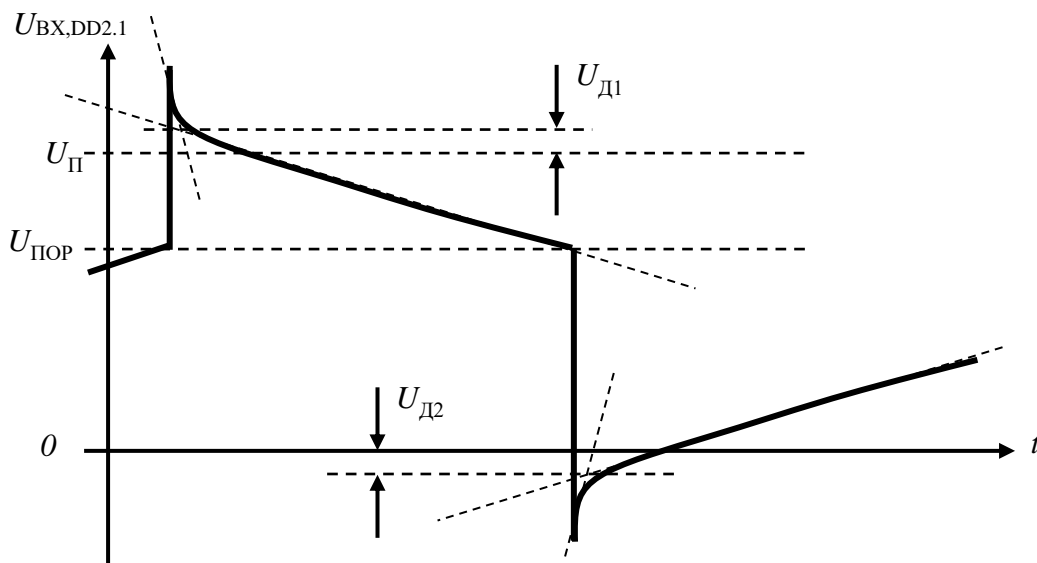


Рис. 32. К определению напряжения отпирания защитных диодов

При составлении отчета сравните полученные значения длительности импульса и паузы с величинами, рассчитанными по соотношениям (10) и (11). При расчете используйте измеренные

значения емкости конденсатора, а также пороговое напряжение и напряжения отпираия защитных диодов.

6. Зарисуйте или сфотографируйте осциллограмму, на которой одновременно присутствуют сигналы каналов №1, №2 и №3. Приложите осциллограмму к отчету по лабораторной работе.

7. Не разбирая схем №1 и №2, соберите **схему №3: мультивибратор на ЛЭ типа 2ИЛИ-НЕ с регулируемым коэффициентом заполнения** (см. Рис. 33). Выберите номиналы компонентов времязадающей цепи согласно номеру бригады (Таблица 3). Перед сборкой схемы измерьте при помощи мультиметра реальные значения емкостей конденсаторов времязадающих цепей.

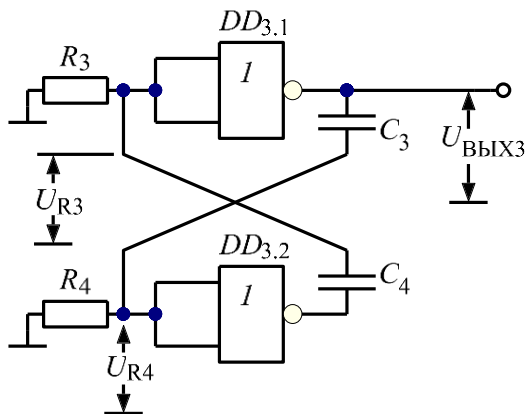


Рис. 33. Схема №3 для исследования мультивибратора на ЛЭ типа 2ИЛИ-НЕ с регулируемым коэффициентом заполнения

8. Подключите канал №1 осциллографа – к выходу всей схемы  $U_{ВЫХ3}$ , канал №2 – ко входу ЛЭ  $DD_{3.1}$  ( $U_{R3}$ ), канал №3 – ко входу  $DD_{3.2}$  ( $U_{R4}$ ). При помощи осциллографа измерьте и запишите в протокол наблюдений:

- Длительности импульса  $t_{из}$ .
- Длительность паузы  $t_{пз}$ .
- Пороговое напряжение ЛЭ  $U_{пор}$ . Когда напряжение  $U_{R3}$  достигает порогового значения, состояние схемы меняется на противоположное, а само напряжение  $U_{R3}$  меняется скачкообразно.

При составлении отчета сравните полученные значения с рассчитанными по соотношениям (12) и (13). При расчете используйте измеренные значения емкостей конденсаторов, а также пороговое напряжение ЛЭ.

9. Зарисуйте или сфотографируйте осциллограмму, на которой одновременно присутствуют сигналы каналов №1, №2 и №3. Приложите осциллограмму к отчету по лабораторной работе.

10. Не разбирая собранных схем №№1-3, соберите схему генератора двухтонального звукового сигнала. Параметры времязадающих цепей рассчитаны так, что схемы №№2 и 3 генерируют частоты звукового диапазона, а схема №1 – небольшую частоту (0.1 – 10 Гц).

Двухтональный звуковой сигнал – сигнал, в котором чередуются две различные частоты. Для его создания нужна схема, поочередно подающая на излучатель звука одну из двух звуковых частот (со схем №2 и №3). Выбор частоты происходит под управлением логического уровня, поступающего со схемы №1. Формально такая задача решается при помощи цифрового мультиплексора, однако для упрощения задачи схемы №1 и №3 можно дополнить входами разрешения с различными активными уровнями согласно Рис. 34.

В течение времени импульса  $t_{и1}$  схемы №1 на выходе  $DD_{1.1}$  действует уровень лог. «1». Этот уровень поступает на схему №3, на один из входов ЛЭ  $DD_{3.2}$ , обеспечивая на его выходе постоянный уровень лог. «0» т.к.  $X + 1 = 0$ . Соответственно, на входах  $DD_{3.1}$  удерживается лог. «0», а на выходе – постоянный уровень лог. «1».

В то же самое время уровень лог. «1» на входе схемы №2, ЛЭ  $DD_{2.1}$ , не меняет работы этой схемы, т.к.  $\overline{X} \cdot 1 = \overline{X}$ , и на ее выходе генерируются прямоугольные импульсы звуковой частоты  $f_2 = \frac{1}{t_{И2} + t_{П2}}$ .

В течение времени паузы схемы №1 ( $t_{П1}$ ) ситуация обратная. Работа схемы №2 заблокирована:  $DD_{2.3}$  удерживает на своем выходе и на выходе всей схемы уровень лог. «1», т.к.  $\overline{X} \cdot 0 = 1$ . При этом работа схемы №3 разрешена, т.к. для  $DD_{3.2}$  справедливо выражение  $\overline{X} + 0 = \overline{X}$ , и на ее выходе генерируются прямоугольные импульсы с частотой  $f_3 = \frac{1}{t_{И3} + t_{П3}}$ .

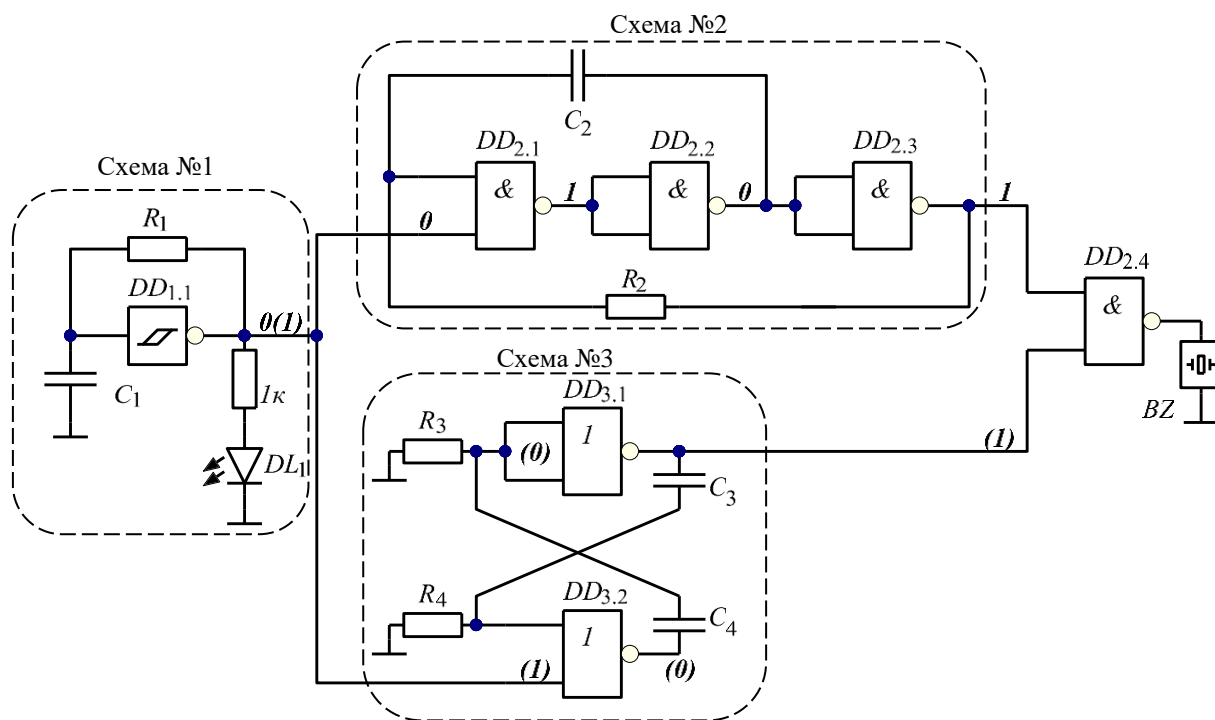


Рис. 34. Схема двухтонального звукового сигнала

Иными словами, схемы 2 и 3 работают поочередно. Активная схема выдает прямоугольные импульсы, а отключенная – постоянный уровень лог. «1». Эти два сигнала поступают на вход ЛЭ 2ИЛИ-НЕ,  $DD_{2.4}$ . Лог. «1» на одном из входов не запрещает переключение ЛЭ под управлением сигнала, присутствующего на другом входе:  $Y = \overline{X} \cdot 1 = \overline{X}$ , где  $X$  – сигнал, поступающий от активной схемы мультивибратора.

Иными словами, работу всей схемы можно описать выражением:

$$Y = \begin{cases} f_2, & \text{если } U_{\text{ВЫХ1}} = 1 \\ f_3, & \text{если } U_{\text{ВЫХ1}} = 0 \end{cases}$$

Светодиод  $DL_1$  служит для индикации, какая из двух схем генераторов звуковой частоты активна в данный момент: схема №2, если светодиод светится, и №3 – если отключен. К выходу всей схемы (к выходу  $DD_{2.4}$ ) подключите пьезокерамический зуммер (выдается преподавателем).

11. Подключите канал №1 осциллографа к выходу схемы №1, канал №2 – к выходу ЛЭ  $DD_{2.4}$  и настройте синхронизацию по фронту канала №1.

12. Подберите масштаб по оси времени так, чтобы в кадр входило по несколько периодов  $T_2 = 1/f_2$  и  $T_3 = 1/f_3$ . Точка синхронизации – в центре экрана по оси времени (используйте кнопку осциллографа «Horizontal / Set to Zero»). Иными словами, на осциллограмме должен быть наглядно виден переход от частоты  $f_3$  к частоте  $f_2$ .

13. Зарисуйте или сфотографируйте полученную осциллограмму.

14. Перенастройте осциллограф на синхронизацию по срезу на канале №1 и повторите пп. 12-13. Пронаблюдайте переход от частоты  $f_2$  к частоте  $f_3$ .

15. К отчету по лабораторной работе приложите полученные осциллограммы.

### 3. ИССЛЕДОВАНИЕ СХЕМ ТРИГГЕРОВ

#### 3.1. Краткое описание лабораторной работы

1. В лабораторной работе собираются и исследуются простейшие схемы RS-триггеров на ЛЭ, а также D-триггер с асинхронными входами сброса и установки типа 74НС(НСТ)74.
2. Для сборки схем простейших RS-триггеров используются универсальные ЛЭ 2И-НЕ, 2ИЛИ-НЕ.
3. На основе D-триггера 74НС(НСТ)74 собирается схема пересчетного синхронного Т-триггера с входом разрешения.
4. Входные сигналы для собранных схем поступают с кнопок и генератора, выходные сигналы исследуются осциллографом и индицируются светодиодами.
5. На основе схем простых мультивибраторов и триггера собирается схема генератора звуковой частоты. Выбор частоты осуществляется нажатием кнопок без фиксации.

#### 3.2. Основные теоретические сведения

Триггер – простейшее устройство последовательностной логики. В отличие от комбинаторной логики, где состояния выходов схемы определяются только текущими состояниями входов, в комбинаторной логике уровни выходов зависят еще и от предыдущего состояния системы, имевшего место до последнего изменения уровней входов. Соответственно, последовательностные цифровые схемы имеют способность запоминать свое состояние. Простейшее устройство, способное хранить информацию – триггер: схема на ЛЭ или готовая микросхема, хранящая логический уровень, или один бит данных.

Простейший из триггеров, который можно построить на логических элементах – RS-триггер. Свое название он получил в соответствии с существующими у него входами управления:  $R$  (от англ. «reset», сброс) и  $S$  (от англ. «set», установка).

Схема такого триггера на ЛЭ типа ИЛИ-НЕ показана на Рис. 35, а. Принцип ее действия предельно прост. Предположим, в данный момент на входах схемы  $R$  и  $S$  действует уровень лог. «0», а на выходе схемы  $Q$ , называемым прямым выходом, действует некоторый уровень  $Q^n$ . Согласно принципу действия ЛЭ  $DD_2$ , на его выходе уровень будет равен  $\overline{Q^n + 0} = \overline{Q^n}$ . Выход  $\overline{Q^n}$  называют инверсным выходом триггера. Логический уровень с выхода  $\overline{Q^n}$  поступает на второй вход ЛЭ  $DD_1$ , и на выходе продолжает действовать уровень  $\overline{\overline{Q^n} + 0} = Q^n$ . Благодаря перекрестному включению ЛЭ, формирующему своего рода положительную обратную связь, пока оба входа  $R$  и  $S$  установлены в лог. «0», состояние схемы не изменится, т.е. триггер находится в режиме хранения бита.

Если на вход  $R$  подать уровень лог. «1» (а на входе  $S$  будет оставаться лог. «0»), то вне зависимости от значения  $\overline{Q^n}$ , согласно принципу действия ЛЭ ИЛИ-НЕ, на выходе  $DD_1$  установится новый уровень  $Q^{n+1} = \overline{Q^n + 1} = 0$ . Этот логический уровень поступает на вход  $DD_2$ , и на его выходе формируется уровень  $\overline{Q^{n+1}} = \overline{0 + 0} = 1$ . Иными словами, подача уровня лог. «1» на вход  $R$  привела к сбросу триггера (к записи в него нулевого значения). Т.к. лог. «0» не меняет состояние схемы, а лог. «1» устанавливает  $Q = 0$ , вход  $R$  называется *входом сброса с активным высоким уровнем*.

Рассуждая совершенно аналогично, несложно убедиться в том, что подача лог. «1» на вход  $S$  при  $R = 0$  и при любом  $Q^n$  устанавливает  $Q^{n+1}=1$ , т.е. вход  $S$  является *входом установки с активным высоким уровнем*. В принципе, это следует и из описанного выше принципа действия входа  $R$  с учетом полной симметрии схемы.



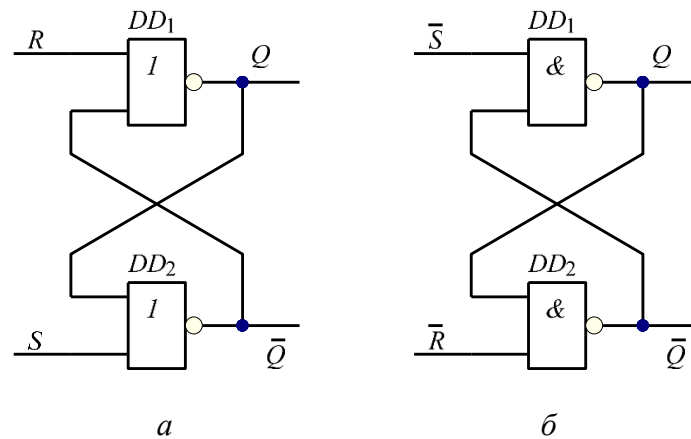


Рис. 35. Схемы RS-триггера на ЛЭ ИЛИ-НЕ (а), И-НЕ (б)

При одновременной подаче уровня лог. «1» на оба входа, на обоих выходах схемы устанавливаются уровни лог. «0». Какой логический уровень будет действовать на выходе  $Q$  после снятия активных уровней с входов, определится лишь тем, с какого входа уровень будет снят последним (в реальности одновременно изменить логические уровни в двух разных цепях невозможно). Для схемы RS-триггера комбинация двух активных уровней на входах установки и сброса считается запрещенной, т.к. схема перестает выполнять свою основную функцию.

Немного отличается от рассмотренной схемы вариант RS-триггера на элементах И-НЕ (см. Рис. 35, б). Нетрудно убедиться в том, что если установить  $\bar{R} = \bar{S} = 1$ , состояние схемы не изменяется. Установка  $\bar{R} = 1, \bar{S} = 0$  переводит выход  $Q$  в состояние лог «1», а  $\bar{R} = 0, \bar{S} = 1$  – в лог. «0». То есть, выходы сброса и установки у такого RS-триггера имеют низкий активный уровень, а запрещенной комбинацией является, соответственно,  $\bar{R} = \bar{S} = 0$ . Обратите внимание, что взаимное расположение входов сброса/установки и прямого/инверсного выходов у двух крайне похожих друг на друга схем – разное.

Помимо RS-триггера существует еще множество схем триггеров со своими входами управления и особенностями работы. Описание схемотехнических реализаций всех триггеров на ЛЭ не входит в задачи настоящих методических указаний и широко описаны в литературе. Отметим лишь, что существуют, в частности:

- JK-триггеры, которые выгодно отличаются от RS-триггеров отсутствием запрещенного состояния входов. Одновременная подача активных уровней на вход установки  $J$  (от англ. «jump») и вход сброса  $K$  (от англ. «kill») приводит к изменению состояния выхода такого триггера на противоположное.
- Т-триггеры (от англ. «toggle»). Логический переход на  $T$ -входе (положительный или отрицательный фронт, в зависимости от модификации схемы или компонента) приводит к изменению состояния на противоположное. Фактически, Т-триггер – это JK-триггер, входы которого закорочены.
- Триггеры с разрешением. Например, если объединить оба входа  $R$  и  $S$  схемы, показанной на Рис. 35, а, с дополнительным входом  $E$  через элементы И, то при  $E = 0$  триггер оказывается нечувствительным к изменениям состояний  $R$  и  $S$ , а при  $E = 1$  работает как обычно.

Отдельное внимание следует уделить так называемым синхронным триггерам. Термин «синхронный» применительно к триггерам означает, что у схемы или интегральной микросхемы существует отдельный *тактовый* вход, обычно обозначаемый как  $C$  (от англ. «clock»). Все изменения состояния триггера (будь то RS- JK- или Т-триггер) происходят по логическому переходу уровня на тактовом входе, чаще всего – по фронту. Если речь идет о синхронном Т-триггере, то вход  $T$  приобретает, фактически, смысл входа разрешения переключения по фронту

сигнала на входе  $C$ , если о RS- или JK-триггере, то входы приобретают смысл разрешения установки или сброса триггера по фронту тактового сигнала.

Синхронные триггеры состоят из целого ряда ЛЭ, из этих ЛЭ строятся промежуточные ячейки хранения информации. Подробно внутренние структуры синхронных триггеров здесь рассматриваться не будут. Рассмотрим лишь особенности функционирования синхронных триггеров, изготовленных в виде интегральных микросхем.

Практика разработки цифровых узлов последовательного типа, в том числе с использованием микросхем программируемой логики (ПЛИМ – программируемых логических матриц и ПЛИС – программируемых логических интегральных схем) показывает, что практически любую задачу можно решить, используя лишь синхронные триггеры одного типа, например, так называемый триггер задержки, или D-триггер. Фактически, такой триггер является элементарной ячейкой памяти с одним входом  $D$ . Логический уровень, присутствующий на этом входе, «запоминается» по фронту тактового сигнала, подключенного ко входу  $C$ , и становится доступным на выходе  $Q$ .

Существует две трактовки названия этого триггера. Согласно одной из них, более распространенной,  $D$  происходит от английского «data» – вход данных, что совершенно естественно для основной функции триггера. Вторая трактовка говорит, что  $D$  образовано от слова «delay» («задержка»). Действительно, изменение логического уровня на входе  $D$  отражается на выходе  $Q$  с некоторой задержкой, только в момент поступления импульса на тактовый вход  $C$ . Если включить несколько таких триггеров последовательно, можно получить задержку на 2, 3 и более периодов тактового сигнала.

Наиболее удобны и популярны D-триггеры с дополнительными, *асинхронными* входами сброса ( $R$ ) и установки ( $S$ ). Работают эти входы точно так же, как и у простейшего RS-триггера, и никак не завязаны на тактовый вход  $C$  (отсюда название – «асинхронные»). Обычно они служат для того, чтобы реализовать *начальную установку* триггера в нужное состояние «по умолчанию», непосредственно после включения питания схемы. Примером такого триггера является весьма популярная микросхема 74НС(НСТ)74 – два синхронных D-триггера с асинхронными входами установки/сброса и с комплементарными выходами. Условное графическое обозначение (УГО) триггера показано на Рис. 36.

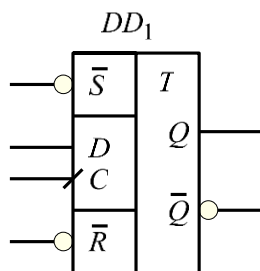


Рис. 36. УГО триггера 74НС(НСТ)74

Принцип действия такого триггера следующий:

- По фронту тактового сигнала  $C$  триггер защелкивает логический уровень входа  $D$ . Он подается на выход  $Q$ , т.е.  $Q^{n+1} = D^n$ . Тот факт, что триггер меняет состояние по фронту  $C$ , находит свое отражение в его УГО в виде кривой черты «/» на тактовом входе. Для других микросхем, которые срабатывают по срезу (обратному фронту) тактового сигнала, направление этой кривой черты противоположное – «\».
- Инверсный выход  $\bar{Q}$  всегда обратен прямому  $Q$ .
- Подача лог. «0» на вход  $\bar{S}$  в любой момент времени устанавливает триггер в состояние  $Q = 1$ ,  $\bar{Q} = 0$ . Удержание  $\bar{S} = 0$  обеспечивает  $Q = 1$ ,  $\bar{Q} = 0$  вне зависимости от уровней и переключений  $D$  и  $C$ .

- Подача лог. «0» на вход  $\bar{R}$  в любой момент времени устанавливает триггер в состояние  $Q = 0$ ,  $\bar{Q} = 1$ . Удержание  $\bar{R} = 0$  обеспечивает  $Q = 0$ ,  $\bar{Q} = 1$  вне зависимости от уровней и переключений  $D$  и  $C$ .
- Одновременная подача  $\bar{R} = \bar{S} = 0$  обеспечивает  $Q = \bar{Q} = 1$  вне зависимости от уровней  $D$  и логических переходов на  $C$ , однако, это состояние считается нестабильным, т. к. при попытке одновременной смены уровней на  $\bar{R} = \bar{S} = 1$  состояния  $Q$  и  $\bar{Q}$  будут не определены, а при последовательной установке  $\bar{R}$  и  $\bar{S}$  триггер перейдет в одно из двух стандартных состояний согласно принципу действия любого RS-триггера.

Для того чтобы дополнить микросхему 74НС(НСТ)74 функцией разрешения защелкивания бита на  $D$ , требуется использовать несколько логических элементов. На них строится, фактически, двухвходовый мультиплексор – схема, которая передает на свой выход один из двух входных логических уровней. Какой из уровней передается на выход, определяется управляющим сигналом. Назовем его, в применении к схеме D-триггера с разрешением,  $E$ , от англ. «enable» (см. Рис. 37).

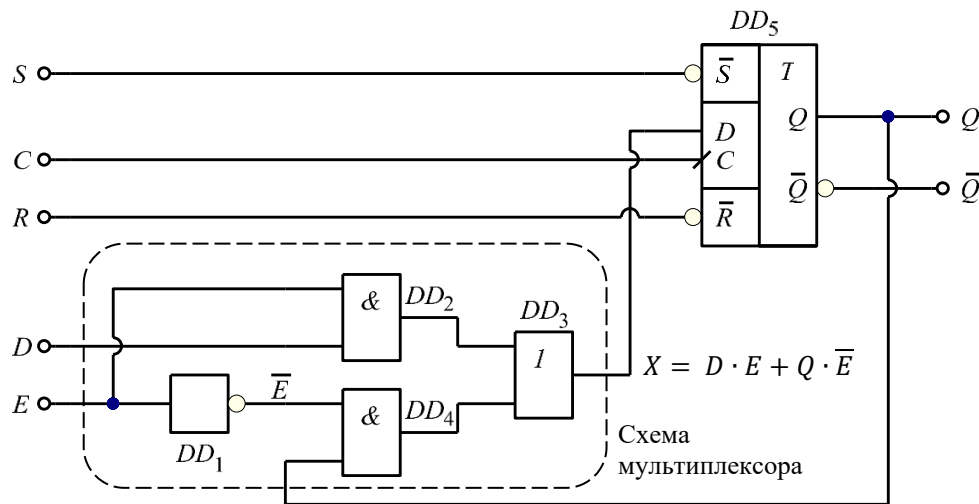


Рис. 37. Схема D-триггера с разрешением на основе 74НС(НСТ)74

Рассмотрим состояние мультиплексора при  $E = 1$ . В этом случае на выходе  $DD_2$  (И) логический уровень равен  $D \cdot E = D \cdot 1 = D$ . В то же самое время  $\bar{E} = 0$  и на выходе такого же логического элемента  $DD_4$  уровень определяется выражением  $Q \cdot \bar{E} = Q \cdot 0 = 0$ . Соответственно, логический уровень на выходе ЛЭ  $DD_3$  (ИЛИ) определится выражением вида  $X = D \cdot E + Q \cdot \bar{E} = D \cdot 1 + Q \cdot 0 = D$ . В случае если  $E = 0$ , согласно тому же выражению для логического уровня  $X$  получим:  $X = D \cdot E + Q \cdot \bar{E} = D \cdot 0 + Q \cdot 1 = Q$ . Соответственно, логику работы мультиплексора можно описать следующим образом:

$$X = \begin{cases} D, & \text{если } E = 1 \\ Q, & \text{если } E = 0 \end{cases}.$$

Таким образом, при  $E = 0$  триггер  $DD_5$  на каждом такте  $C$  будет защелкивать значение, поступающее с его же прямого выхода. То есть, фактически, состояние схемы изменяться по фронту тактового сигнала не будет. Если же  $E = 1$ , то на вход триггера будет приходить сигнал со входа  $D$  всей схемы, и на каждом такте сигнала  $C$  значение, хранящееся в триггере, будет обновляться.

К сожалению, одиночные D-триггеры с входом разрешения синхронной работы в наборе микросхем 7400 отсутствуют. Имеется лишь микросхема 74xx377, представляющая собой восемь D-триггеров с общим входом разрешения  $\overline{CE}$  (от англ. «clock enable», с активным низким уровнем). Индивидуальных входов разрешения для триггеров, комплементарных выходов  $\bar{Q}$ ,

входов асинхронной установки  $S$  и сброса  $R$  – нет. Если в схеме, использующей логику семейства 7400, необходимо все перечисленное, рекомендуется использовать решение, аналогичное показанному на Рис. 37, или использовать в качестве устройства хранения информации счетчик с синхронной загрузкой и сбросом, аналогичный используемому в лабораторных работах данного курса (будет рассмотрен в методических указаниях ниже).

В средах разработки конфигураций для программируемой логики, которая в настоящий момент вытеснила сложные цифровые устройства, собранные на цифровых микросхемах, примитив (поддерживаемый программируемой логической микросхемой цифровой узел) синхронного D- и JK-триггера с разрешением и асинхронными входами сброса/установки присутствует в обязательном порядке. Синхронные триггеры с разрешением являются основой любой современной цифровой системы.

### 3.3. Задание на проведение исследований

1. Соберите схему простейшего RS-триггера на ЛЭ 2ИЛИ-НЕ типа 74НС(НСТ)02 (см. Рис. 38, а).

Такой триггер имеет высокие активные уровни входов установки  $S$  и сброса  $R$ . С учетом схемы включения кнопок, присутствующей на плате стенда, это означает, что для подачи лог. «1» на вход триггера при нажатии кнопки, между кнопкой и схемой триггера потребуется поставить элемент НЕ ( $DD_{1.1}$ ,  $DD_{1.2}$ ). В качестве таких элементов используем инвертирующий триггер Шмитта.

Для отображения состояний входов и выходов триггера используйте светодиоды. Учтите, что и токоограничительные резисторы для светодиодов номиналом 1 кОм, и резисторы подтяжки для кнопок (470 Ом) уже встроены в схему стенда, и отдельно устанавливать их не требуется.

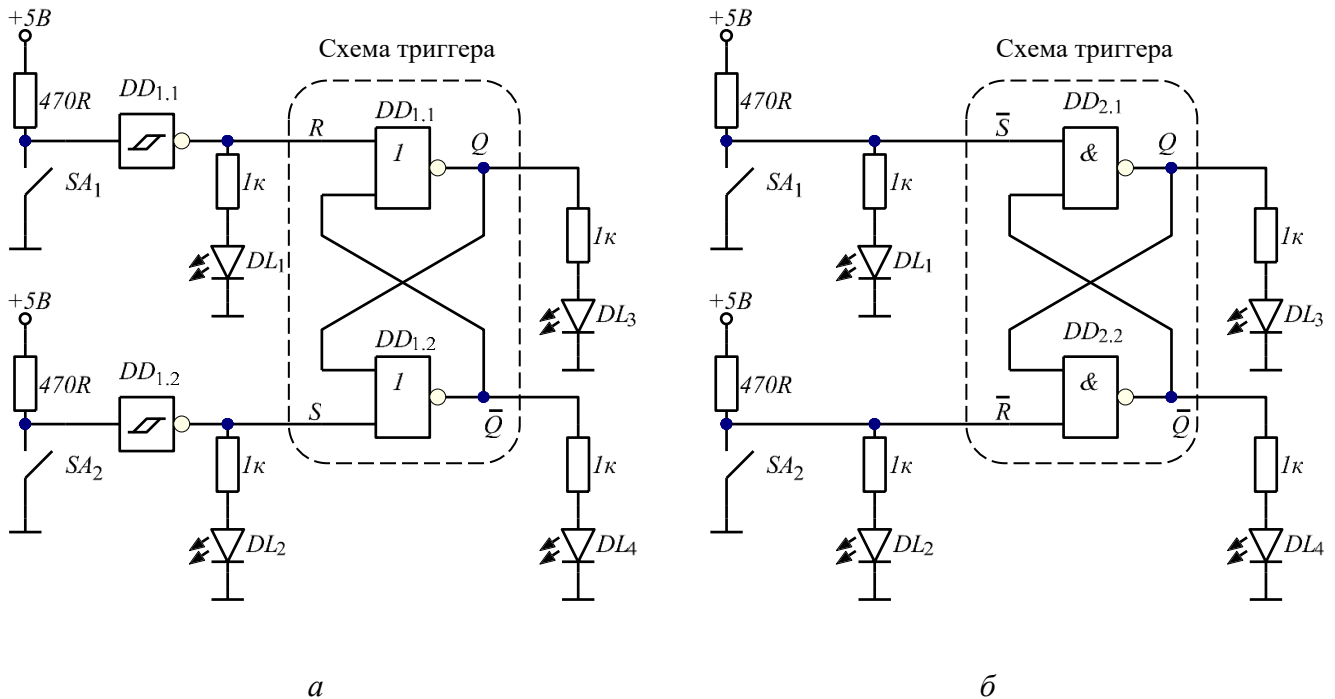


Рис. 38. Схемы RS-триггеров с активными высокими (а) и низкими (б) уровнями входов

2. Исследуйте триггер, заполнив таблицу его переходов по образцу:

Таблица 4. Таблица переходов RS-триггера на логических элементах 2ИЛИ-НЕ

№ п.п	Текущее состояние $Q^n$	Воздействие на входы			Новое состояние $Q^{n+1}$
		$S^n$	$R^n$	Комментарий	
1	0	0	0	Уровни обоих входов неактивные	
2	1	0	0		
3	0	0	1	Активный уровень на входе сброса	
4	1	0	1		
5	0	1	0	Активный уровень на входе установки	
6	1	1	0		
7	0	1	1	Активные уровни на обоих входах	
8	1	1	1		

Под воздействием на входы в таблице подразумевается комбинация логических уровней в цепях схемы, после возникновения которой состояние триггера может изменяться (от старого состояния  $Q^n$  к новому  $Q^{n+1}$ ). Обратите внимание, что уровни  $S^n$  и  $R^n$  в таблице соответствуют уровням на входах схемы триггера, которые отображаются на светодиодах  $DL_1$ ,  $DL_2$ , а не состоянию кнопки («нажата» – «не нажата»).

Для заполнения таблицы используйте подход, описанный ниже на примере:

- Допустим, при включении схемы  $Q = 0$ . Кнопки не нажаты,  $R = S = 0$ ,  $Q$  сохраняется, следовательно,  $Q^{n+1}$  в строке 1 равно 0.
- Подадим на триггер импульс сброса  $R^n = 1$ , перезаписав ноль в триггер, тогда  $Q^{n+1}$  в строке 3 по-прежнему будет равно 0.
- Подадим на триггер импульс установки  $S^n = 1$ , тогда триггер переключится в состояние «1» на выходе, следовательно,  $Q^{n+1}$  в строке 5 станет равным 1.
- Кнопки не нажаты, триггер сохраняет значение  $Q$ , следовательно, в строке 2  $Q^{n+1}$  равно 1.
- Подадим на триггер еще один импульс установки  $S^n = 1$ , перезаписав единицу в триггер,  $Q^{n+1}$  в строке 6 по-прежнему будет равно 1.
- Подадим на триггер импульс сброса  $R^n = 1$ , тогда триггер переключится в состояние «0» на выходе, следовательно,  $Q^{n+1}$  в строке 4 станет равным 0.
- Подадим на триггер одновременно  $S^n = R^n = 1$ , нажав две кнопки. Такая комбинация является запрещенной, а состояние триггера называется нестабильным. Во время удержания обеих кнопок получим  $Q^{n+1} = \overline{Q^{n+1}} = 0$ . Снятие двух активных уровней приводит к непредсказуемому результату, т.к. абсолютно одновременно установить  $S^n = R^n = 0$ , синхронно отжав кнопки, технически невозможно. Запишем в строку 7 «н.с.» (нестабильное состояние).
- Добьемся того, чтобы триггер при не нажатых кнопках переключился в  $Q = 1$ . Повторим последний шаг еще раз и убедимся в том, что для строки 8 также справедливо  $Q^{n+1} = \overline{Q^{n+1}} = 0$ .

3. Повторите пп. 1-2 для схемы RS-триггера на ЛЭ 2И-НЕ типа 74НС(НСТ)00. При составлении таблицы учтите, что такой RS-триггер имеет низкие активные уровни входов сброса  $\overline{R}$  и установки  $\overline{S}$ , так что для подключения к этим входам кнопок инвертеров устанавливать не нужно (см. Рис. 38, б). Запрещенная комбинация уровней входов триггера –  $\overline{R} = \overline{S} = 0$ , при этом, теоретически,  $Q^{n+1} = \overline{Q^{n+1}} = 1$ .

4. Соберите схему для исследования интегрального D-триггера 74НС(НСТ)74 с входами асинхронного сброса и установки (см. Рис. 39).

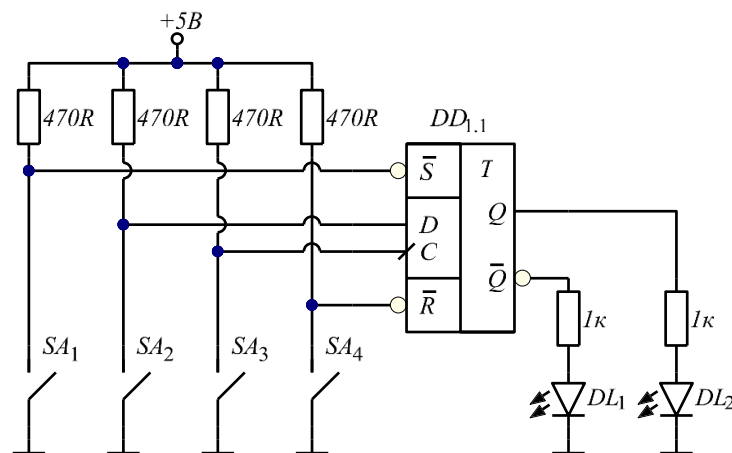


Рис. 39. Схема для исследования D-триггера с входами асинхронного сброса и установки

На схеме Рис. 39 дополнительные резисторы подтяжки, установленные между цепью питания и всеми входами триггера, не показаны, т.к. на функционирование схемы они не влияют (их номинал составляет 10 кОм, и они включаются параллельно резисторам кнопок 470 Ом).

5. Исследуйте триггер, заполнив таблицу его переходов по образцу (Таблица 5). Обратите внимание на то, что таблица является сокращенной (см. примечание).

Таблица 5. Таблица переходов D-триггера с входами асинхронного сброса и установки

$\overline{S}^n$	$\overline{R}^n$	$C$	$D$	$Q^n$	$Q^{n+1}$
0	1	x	x	x	
1	0	x	x	x	
0	0	x	x	x	
1	1	↑	1	x	
1	1	↑	0	x	
1	1	0	x	q	
1	1	1	x	q	

Примечание: x – любой логический уровень, ↑ – фронт сигнала на входе C, q – некоторый уровень на прямом выходе триггера, при этом его состояние может не измениться (следует записать «q» в колонку  $Q^{n+1}$ ), или измениться (следует записать « $\overline{q}$ »).

При исследовании триггера учитывайте теоретически известные особенности его функционирования: поочередная подача активного уровня на входы сброса  $\overline{R}$  и установки  $\overline{S}$ , соответственно, должна сбрасывать/устанавливать  $Q$  вне зависимости от состояния тактового входа C и входа данных D; по фронту сигнала на тактовом входе C триггер должен защелкивать уровень, поданный на вход данных D; уровень D имеет значение только в момент подачи фронта на C; одновременная подача лог. «0» на  $\overline{R}$  и  $\overline{S}$  должна переводить триггер в нестабильное состояние (н.с.).

6. Соберите схему счетного триггера (или Т-триггера) с разрешением синхронной работы, используя D-триггер. Для создания простого Т-триггера было бы достаточно объединить вход D с выходом  $\overline{Q}$ . На каждом такте сигнала C триггер выполнял бы соотношение  $Q^{n+1} = \overline{Q}^n$ , т.е. переключал бы свой выход в противоположное состояние. Вход разрешения синхронной работы должен быть способен переводить триггер в режим хранения, когда выходной сигнал не меняется при поступлении импульса на вход C, т.е.  $Q^{n+1} = Q^n$ . Для реализации такой схемы требуется сначала собрать D-триггер с разрешением, включающий в себя мультиплексор, собранный из элементов, доступных на плате лабораторного стенда. Этот мультиплексор под управлением сигнала разрешения должен подключать ко входу триггера D то, что хранится в нем (т.е. Q), или же логический уровень с информационного входа схемы D-триггера с разрешением, в случае реализации Т-триггера с разрешением –  $\overline{Q}$ .

Если использовать элементы НЕ и ИЛИ-НЕ, получится схема, показанная на Рис. 40. Действительно, если кнопка SA<sub>1</sub> не нажата, то  $E = 1$ , логический уровень на выходе DD<sub>3.2</sub> равен  $\overline{Q} = Q$ , а т.к.  $\overline{E} = 0$ , то на выходе DD<sub>3.1</sub> действует уровень лог. «1». Выход схемы мультиплексора (Y) при этом содержит уровень  $Y = \overline{\overline{Q}} = \overline{Q}$ , и триггер переключается на каждом такте сигнала C. Если же кнопка нажата, то  $E = 0$ , на выходе DD<sub>3.2</sub> действует уровень лог. «1», а на выходе DD<sub>3.1</sub> уровень равен  $\overline{Q}$ . Тогда  $Y = \overline{\overline{Q}} = Q$  и на каждом такте триггер перезаписывает в себя тот логический уровень, который и так в нем хранится, и переключений по фронту сигнала C нет.

На языке алгебры логики работу представленного на Рис. 40 мультиплексора можно прямо по схеме описать выражением  $Y = \overline{\overline{E} \cdot \overline{Q} \cdot \overline{E} \cdot Q}$ , записав выражение вида « $\overline{X \cdot Y}$ » для каждого из трех ЛЭ 2И-НЕ. С учетом теоремы Де Моргана это выражение можно переписать как  $Y = E \cdot \overline{Q} + \overline{E} \cdot Q$ , тогда на выходе всей схемы для двух соседних тактов справедливо  $Q^{n+1} = E \cdot \overline{Q}^n + \overline{E} \cdot Q^n$ , что в точности совпадает с требуемым результатом. Как видно, выражение так же эквивалентно формуле, описывающей ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ, и схему можно реализовать с использованием всего одного такого элемента. Однако предлагаемый подход – более формальный: сначала строится D-триггер с разрешением, а затем, на его основе, – синхронный Т-триггер.





Обратите внимание на то, что резисторы подтяжки номиналом 10 кОм, которые подключают неиспользуемые входы триггера  $DD_{1.1}$  к  $U_{П} = 5$  В, отдельно устанавливать не нужно: они уже присутствуют в плате и обеспечивают на входе микросхемы требуемый уровень лог. «1», если вход не задействован.

9. Увеличив частоту генератора до 1-2 кГц, сфотографируйте или зарисуйте осциллограмму, на которой одновременно содержатся два сигнала: сигнал  $C$  на входе схемы Т-триггера и сигнал  $Y$  на ее выходе для ситуации, когда синхронная работа триггера разрешена. Сравните полученный результат с теоретическими соображениями относительно принципа действия схемы.

10. В практических схемах триггеры используются либо как части более сложных последовательностных узлов (счетчиков, регистров), либо служат для хранения отдельных битов, указывающих на текущее состояние системы. Иллюстрацией второго способа использования триггера служит схема, показанная на Рис. 41.

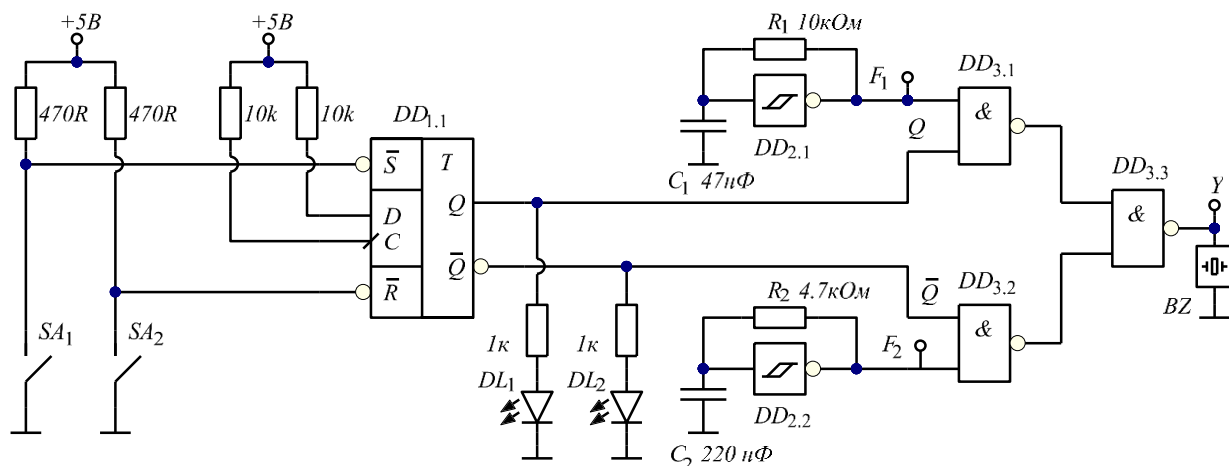


Рис. 41. Схема генератора звукового сигнала с выбором частоты

В схеме присутствует два мультивибратора ( $DD_{2.1}$ ,  $DD_{2.2}$  с обвязкой), рассчитанных на две звуковые частоты, равные, согласно (9),  $f_1 = \frac{1}{0.8 \cdot 10 \cdot 10^3 \cdot 47 \cdot 10^{-9}} = 2.7 \text{ кГц}$  и  $f_2 = \frac{1}{0.8 \cdot 4.7 \cdot 10^3 \cdot 220 \cdot 10^{-9}} = 1.2 \text{ кГц}$ . Эти мультивибраторы работают постоянно, вырабатывая сигналы  $F_1$  и  $F_2$ .

На трех элементах 2И-НЕ собрана уже знакомая нам схема цифрового мультиплексора – устройства, передающего на выход сигнал с одного из входов, в соответствии с управляющим сигналом  $Q$  ( $\bar{Q}$ ). Если  $Q = 0$ , то на выходе  $DD_{3.1}$  действует постоянный уровень лог. «1». Т.к. при этом  $\bar{Q} = 1$ , на выходе  $DD_{3.2}$  сигнал равен  $\bar{F}_2$ . На выходе ЛЭ  $DD_{3.3}$  сигнал  $Y$  равен, соответственно,  $Y = \bar{F}_2 = F_2$ . Если  $Q = 1$ , то ситуация обратная, и  $Y = F_1$ . Таким образом, состояние триггера управляет частотой, подаваемой на пьезокерамический зуммер. Светодиоды показывают, какая из двух частот в данный момент подается на излучатель.

Для изменения частоты используются кнопки  $SA_{1,2}$ , устанавливающие и сбрасывающие RS-триггер. Кнопка  $SA_1$  выбирает частоту  $f_1$ , а  $SA_2$ , соответственно,  $f_2$ . При этом удерживать кнопки нажатыми не нужно – однократное нажатие кнопки переключает триггер, в котором запоминается новое состояние системы.

Соберите и продемонстрируйте преподавателю работоспособную схему генератора звука с выбором частоты.

11. Зарисуйте или сфотографируйте осциллограмму, содержащую два сигнала: выход триггера  $Q$  (канал №1) и сигнал, поступающий на пьезокерамический зуммер  $Y$  (канал №2) в момент смены выходной частоты.

Интересующий нас момент времени наступает непосредственно после нажатия одной из кнопок  $SA_{1,2}$ , выбирающих частоту на зуммере. Для получения осциллограммы необходимо изменить настройки синхронизации («Trigger menu») таким образом, чтобы осциллограф фиксировал момент смены логического уровня на выходе триггера  $Q$ . Это осуществляется путем изменения режима синхронизации («Mode») с «Auto» на «Normal». Синхронизация осциллографа должна осуществляться по каналу №1. Обратите внимание, что при синхронизации по фронту («Slope: Rising») будет фиксироваться переход только с уровня лог. «0» на уровень лог. «1», а при синхронизации по срезу («Slope: Falling») – только с уровня лог. «1» на уровень лог. «0». Готовность осциллографа фиксировать однократное изменение уровня сигнала подтверждается надписью «Ready» в верхней части экрана.

В качестве альтернативы можно использовать функцию съемки одного кадра, активируемую кнопкой «Single seq.». При нажатии этой кнопки на экране также появляется надпись «Ready».

## 4. УСТРОЙСТВА ПОСЛЕДОВАТЕЛЬНОСТНОЙ ЛОГИКИ НА ТРИГГЕРАХ

### 4.1. Краткое описание лабораторной работы

1. В лабораторной работе собираются и исследуются несколько схем устройств последовательностной логики на основе универсального триггера 74НС(НСТ)74: параллельный регистр, асинхронный счетчик, кольцевой счетчик, сдвиговый регистр.

2. Для асинхронного счетчика исследуется эффект накопления задержки тактовых импульсов.

3. Для схем кольцевого счетчика и сдвигового регистра исследуется схема начального сброса на основе RC-цепи и буферного ЛЭ.

4. Источником тактовых импульсов для схем (там, где требуется) выступает простейший мультивибратор на инвертирующем триггере Шмитта.

### 4.2. Основные теоретические сведения

Простейшие электронные микросхемы и схемы последовательностной логики, которые можно построить на триггерах – это счетчики и регистры. В предыдущей лабораторной работе был подробно изучен универсальный триггер типа 74НС(НСТ)74, который сочетает в себе функциональность D- и RS-триггера, или, как еще говорят, является D-триггером с асинхронными входами установки и сброса.

На этом триггере, в принципе, при помощи вспомогательных ЛЭ можно построить любое устройство последовательностной логики. Остановимся на схемах, которые не слишком сложны в сборке и анализе.

Самая простая схема на универсальных триггерах – это схема *параллельного регистра*. Параллельный регистр – устройство, способное хранить несколько бит данных, которые можно рассматривать и как комбинацию независимых битов, и как число. Если у  $N$  триггеров объединить тактовые входы, объединить входы  $D$  и выходы  $Q$  триггеров в шины, то по фронту тактового входа вся схема будет запоминать многоразрядную кодовую комбинацию или число. То, что занесено в память регистра, доступно на его выходе – шине такой же разрядности, как и  $D$ .

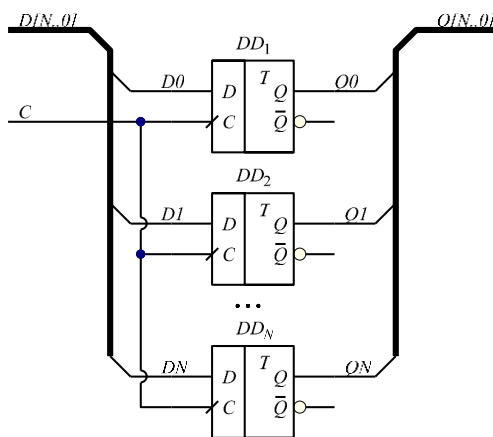


Рис. 42. Простейший параллельный регистр

Тактовая диаграмма такой схемы предельно проста: по каждому фронту сигнала  $C$  данные, присутствующие на входе  $D[N..0]$ , записываются в регистр и поступают на выход  $Q[N..0]$ , т.е. для любого такта справедливо выражение  $Q[N..0]^{n+1} = D[N..0]^n$ . Используемая форма записи имен шин, т.е. групп сигналов, имеющих общий смысл, вида *имя шины[старший индекс..младший индекс]*, является общепринятым во многих современных программных средах для разработки цифровых интегральных схем и конфигураций микросхем программируемой логики.

Данные (или число), хранимые параллельным регистром, показанным на Рис. 42, непосредственно после подачи питания на схему не определены, и являются случайным набором битов. В некоторых случаях это не является проблемой с точки зрения функционирования схемы,

использующей регистр, в других случаях это совершенно недопустимо. Для того чтобы задать, какое значение будет храниться в том или ином триггере схемы после подачи питания, используют D-триггеры с входами асинхронной установки  $\overline{S}$  и сброса  $\overline{R}$ , например, такие, как исследованные в предыдущей работе 74НС(НСТ)74.

Эти входы подключаются к схеме начальной инициализации, или, как еще говорят, схеме начального сброса. Требования к схеме начального сброса предельно просты: после включения питания схема должна выдать на выход логический ноль в течение времени, достаточного для сброса всех подключенных триггеров. Обычно длительность импульса сброса измеряется временами в несколько мс, что с лихвой перекрывает потребности любой последовательностной логики.

Самая простая схема начального сброса состоит из одного резистора и одного конденсатора, см. Рис. 43, а.

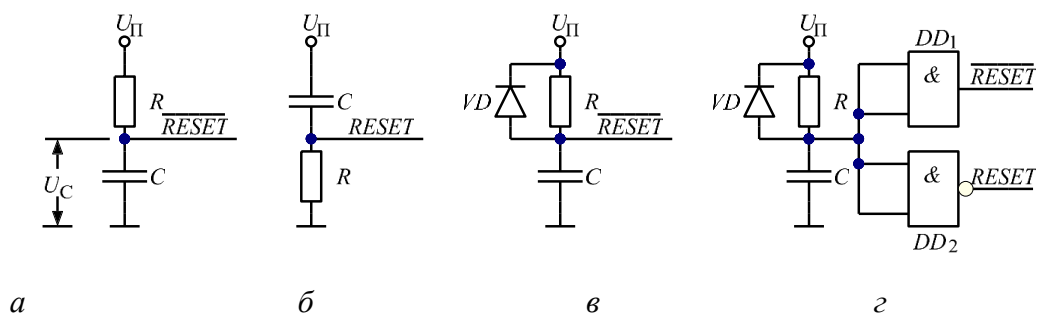


Рис. 43. Варианты простых схем начального сброса:  
RC-цепь с активным низким уровнем сигнала сброса (а),  
RC-цепь с активным высоким сигналом сброса (б),

RC-цепь с активным низким уровнем сигнала сброса и диодом быстрого перезапуска (в),  
буферизованная RC-цепь с активным низким уровнем сигнала сброса и диодом быстрого перезапуска (г)

После подачи питания напряжение  $U_{\Pi}$  достаточно быстро достигает уровня, достаточного для функционирования микросхем. Если постоянная времени RC-цепи значительно превышает время, за которое  $U_{\Pi}$  достигает рабочих значений, то последним можно пренебречь. После подачи питания конденсатор не может зарядиться мгновенно, напряжение на его верхней обкладке нарастает по экспоненциальному закону. В течение некоторого интервала времени  $\Delta t$  напряжение конденсатора  $U_C$  остается ниже порога переключения цифровых микросхем  $U_{\text{ПОР}}$ , и воспринимается ими как уровень лог. «0» (см. Рис. 44, а). Длительность интервала времени  $\Delta t$  является, таким образом, длительностью импульса сброса (или начальной инициализации) схемы, подключенной к RC-цепи.

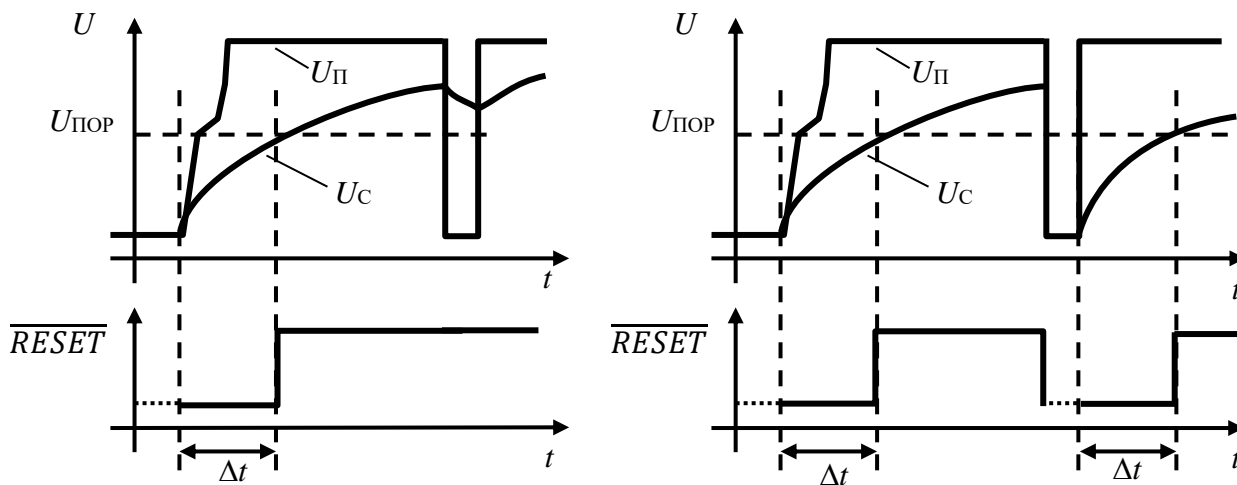


Рис. 44. Временные диаграммы простейшей цепи начального сброса (а) и цепи сброса с диодом быстрого перезапуска (б)

Определить длительность импульса сброса проще всего, вспомнив выражение, описывающее изменение во времени напряжения на конденсаторе интегрирующей цепи, на которую подано напряжение величиной  $U_{\Pi}$  в момент времени  $t = 0$ :

$$U_c(t) = U_{\Pi} \left(1 - e^{-t/\tau}\right), \text{ где } \tau = RC.$$

Подставив  $U_c(t) = U_{\text{ПОР}}$  (где  $U_{\text{ПОР}}$  – пороговое напряжение ЛЭ), получим выражение для длительности импульса сброса:

$$(15) \quad U_{\text{ПОР}} = U_{\Pi} \left(1 - e^{-\Delta t/\tau}\right), \Delta t = -\tau \cdot \ln \left(1 - \frac{U_{\text{ПОР}}}{U_{\Pi}}\right)$$

Приняв для ЛЭ серии 74НС  $U_{\text{ПОР}} \approx \frac{U_{\Pi}}{2}$ , получим

$$(16) \quad \Delta t = -\tau \cdot \ln(0.5) \approx 0.7 \cdot RC.$$

Обратите внимание, что для ЛЭ серии НСТ безразмерный коэффициент в выражении (16) будет другим.

В случае, если инициализируемое устройство имеет асинхронные входы, используемые для начального сброса, с активными высокими уровнями, используется схема, показанная на Рис. 43, б. Ее принцип действия аналогичен описанному, однако, в течение времени  $\Delta t$  на выходе действует не уровень лог. «0», а лог. «1», а временная зависимость напряжения на выходе описывается выражением  $U_c(t) = U_{\Pi} \cdot e^{-t/\tau}$ .

В случае, когда напряжение питания отключается на небольшое время, меньшее, чем  $\tau$ , конденсатор в цепи сброса не успевает разрядиться через резистор, и повторная подача питания не приводит к выработке нового импульса сброса. Вместе с тем, даже кратковременное отключение питания может повредить данные, хранимые в триггерах и регистрах, и схема может повести себя непредсказуемо. Чтобы избежать этого эффекта, в схему сброса вводят небольшое усовершенствование – диод, включенный параллельно резистору (см. Рис. 43, в). Благодаря этому диоду, при отключении питания разрядка конденсатора до уровня не более 0.7 В происходит мгновенно, и даже кратковременное отключение питания приводит к корректному перезапуску схемы с правильной начальной инициализацией (см. Рис. 44, б). Если схема построена на логических микросхемах, имеющих встроенные защитные диоды (подробно вопрос защитных диодов на входах ЛЭ рассмотрен в главе 2), то, фактически, дополнительный диод уже присутствует в каждой микросхеме, и устанавливать его отдельно нет необходимости.

Чаще всего сигнал сброса поступает сразу на несколько триггеров или микросхем последовательностной логики, и RC-цепь оказывается полезно буферизовать, например, при помощи ЛЭ, как показано на Рис. 43, г. В схеме, где присутствуют микросхемы, имеющие разные уровни входов сброса/асинхронной записи, достаточно иметь всего одну схему генерирования импульса начального сброса. Получить сигнал *RESET* с разными активными уровнями проще всего при помощи элемента НЕ.

На практике вместо RC-цепей также часто используются специальные микросхемы-генераторы сигнала сброса, еще называемые супервизорами питания, такие, как DS1233. Фактически они представляют собой компараторы со встроенными точными источниками опорного напряжения, управляющие одновибраторами, чаще всего имеющими выход с открытым коллектором. Как только напряжение питания опускается ниже установленного уровня, выход такой микросхемы переходит в лог. «0». После того, как напряжение питания оказывается выше порога срабатывания, цепь сброса удерживается в состоянии лог. «0» еще некоторое время, являющееся паспортной характеристикой супервизора питания.

Следующая простейшая схема последовательностной логики, которая легко строится на триггерах – асинхронный двоичный суммирующий счетчик.

Вообще, счетчики – устройства, подсчитывающие количество импульсов, поступивших на их тактовый вход. Простейший счетчик – двоичный, ведет подсчет в двоичном коде. Разрядностью счетчика называется количество битов, составляющих подсчитанное число. Естественным образом это количество битов равняется числу триггеров, присутствующих в

схеме счетчика. Суммирующий счетчик ведет счет на увеличение. В то же время существуют вычитающие счетчики, которые ведут обратный отсчет – на уменьшение.

Как было показано в предыдущей лабораторной работе, имея D-триггер с прямым и инверсным выходами, легко построить пересчетный Т-триггер, замкнув его выход  $\bar{Q}$  со входом  $D$ . Один Т триггер, по сути, является одноразрядным счетчиком. Имея один разряд, он считает до одного, включая ноль. Тактовая диаграмма Т-триггера хорошо известна: меняя состояние на противоположное по каждому фронту входного сигнала, подключенного ко входу  $C$ , он, фактически, делит входную частоту на два (см. Рис. 45, сигналы  $C$  и  $Q_0$ ).

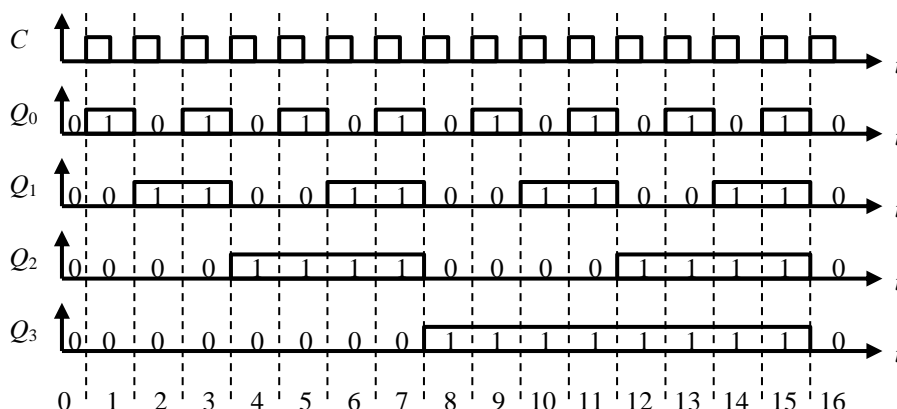


Рис. 45. Тактовая диаграмма суммирующего 4-разрядного счетчика

Всякий раз, когда Т-триггер переходит по своему выходу  $Q$  в состояние лог. «0» (срез сигнала), на выходе  $\bar{Q}$  имеет место обратный логический переход, т.е. фронт. Если подключить к  $\bar{Q}$  тактовый вход  $C$  второго Т-триггера, тот будет устанавливаться всякий раз, когда первый триггер сбрасывается. Установка первого триггера не будет влиять на второй. Очевидно (см. Рис. 45) при этом второй триггер поделит частоту, действующую на выходе  $\bar{Q}$  первого триггера, на 2, то есть входная тактовая частота всей схемы окажется поделенной уже на 4. Рассуждая аналогично, можно показать, что третий триггер поделит входную частоту уже на 8, четвертый – на 16 и так далее. Цепочка Т-триггеров, соединенных выходами  $\bar{Q}$  и входами  $C$ , называется асинхронным суммирующим счетчиком.

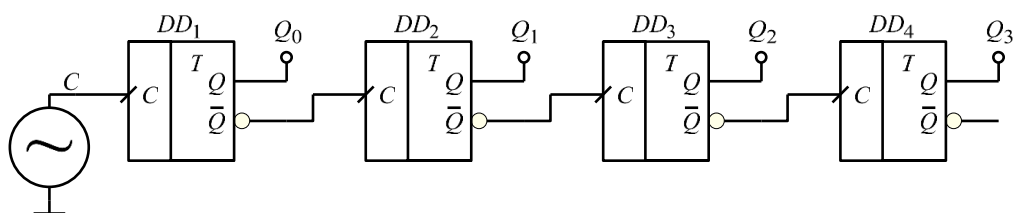


Рис. 46. Схема простейшего 4-разрядного асинхронного суммирующего счетчика

Запишем состояния триггеров на каждом такте, пронумеровав их с нуля, в виде таблицы (Таблица 6). Как нетрудно увидеть, получаемое на каждом такте сочетание битов на выходе счетчика представляет собой увеличивающееся двоичное число. Если перевести его в шестнадцатеричную форму записи, получится набор значений, показанный в колонке  $Q[3..0]$ . На шестнадцатом такте, очевидно, выход первого триггера обнулится, тогда в цепи  $\bar{Q}_0$  возникнет фронт сигнала. Он протактирует триггер №2, тот, в свою очередь, триггер №3 и т.д. По триггерам схемы пройдет волна логических переходов  $Q$  из 1 в 0, и все триггеры обнулятся. Это называется *переполнением счетчика*. Нетрудно понять, что максимальное число, до которого способен досчитать счетчик, имеющий разрядность  $N$ , составляет  $2^N - 1$ , а в таблице состояний счетчика будет  $N$  строк, каждая из которых соответствует уникальному сочетанию битов на выходе, или числу (всего 16 чисел, 0-15 включая 0).

Таблица 6. Таблица состояний выходов 4-разрядного суммирующего счетчика

Такт №	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q[3..0]$
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7

Такт №	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q[3..0]$
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	A
11	1	0	1	1	B
12	1	1	0	0	C
13	1	1	0	1	D
14	1	1	1	0	E
15	1	1	1	1	F

Помимо суммирующих счетчиков, существуют счетчики вычитающие. У них на каждом такте выходное число уменьшается на 1. Самый простой способ построить такой счетчик – соединять с тактовыми входами «следующих» триггеров выходы  $Q$  «предыдущих», а не  $\bar{Q}$ , как было показано выше.

Другой способ – в качестве выходных цепей счетчика взять не выходы триггеров  $Q$ , а  $\bar{Q}$ . Это прекрасно иллюстрирует особенность двоичной системы исчисления: побитовая инверсия  $N$ -разрядного числа  $X$  эквивалентна операции  $X = (2^N - 1) - X$  (в случае счетчика такое выражение для  $X$  превращает увеличивающееся на каждом такте число – в уменьшающееся). Для вычитающего 4-разрядного счетчика, соответственно, переполнением является переход из состояния  $15_{10} = 1111_2$  в  $0_{10} = 0000_2$  на выходе.

Показанная схема счетчика является очень простой, но и несовершенной. Она называется асинхронной потому, что триггеры получают сигналы для тактовых входов из разных источников. Для младшего триггера источником тактового сигнала является генератор, для триггера №2 – выход триггера №1, для триггера №3 – выход триггера №2 и т.д. Нетрудно понять, что каждое изменение состояния всего счетчика, при котором меняются состояния ряда триггеров, занимает время, которое является суммой времен, необходимых на изменение состояния каждого из триггеров. Иными словами, при переполнении счетчика, когда тот переходит из состояния  $Q[3..1] = 1111_2$  в  $Q[3..1] = 0000_2$ , сначала инвертируется бит 0, затем бит 1, 2, и, наконец 3. Время между изменением состояния двух соседних битов определяется быстродействием триггеров, и для серии 74НС при питании 5 В составляет порядка 10 нс (т.е. триггер допустимо тактировать частотами до 50-100 МГц. Для 32-разрядного счетчика процесс переполнения занял бы, соответственно, 320 нс, а максимальная тактовая частота для счетчика упала бы до 1.5-3 МГц, что по современным меркам совсем мало.

Этого недостатка лишена схема синхронного счетчика. Синхронный счетчик, как и вообще любая синхронная схема, следует простому правилу. В синхронной последовательностной логике все тактовые входы всех триггеров и устройств на их основе получают входной сигнал из одного источника.

Синхронный суммирующий счетчик можно построить только на Т-триггерах с входом разрешения работы. Способов построения такого триггера несколько, один из них был рассмотрен в предыдущей лабораторной работе (см. Рис. 40). Рассмотренная схема состоит из обычного D-триггера и мультиплексора на ЛЭ, который подключает к входу  $D$  выход  $Q$ , если переключения запрещены (вход разрешения  $E = 0$ ), и выход  $\bar{Q}$ , если разрешены ( $E = 1$ ).

Как видно из табл. 6, если постоянно разрешить работу триггера №1, а к входу разрешения триггера №2 подключить прямой выход  $Q$  триггера №1, то второй триггер будет менять свое состояние на противоположное только в момент перехода от нечетных строк таблицы к четным, т.е. в начале четных тактов 0, 2, 4, 6. Если разрешить работу триггера №3 в начале тактов, когда триггеры №№ 1 и 2 переходят из 1 в 0, то он будет переключаться на тактах, номера которых делятся на 4 без остатка, т.е. в начале тактов 0, 4, 8, 12. Соответственно, триггеру №4 должно быть разрешено переключаться только когда триггеры №№1-3 переключаются из 1 в 0, т.е. только в начале тактов 0 и 8. Схема, которая реализует такой алгоритм работы, достаточно проста



(см. Рис. 47). Для компактности предполагается, что у нас уже есть Т-триггер со входом разрешения  $E$ :

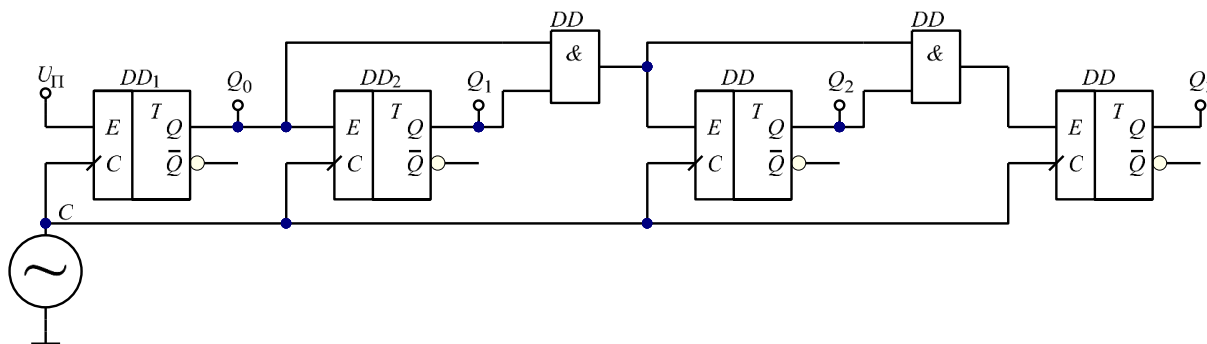


Рис. 47. Схема 4-разрядного синхронного суммирующего счетчика

Все триггеры схемы тактируются из одного источника. На каждом такте на вход разрешения каждого из триггеров поступает бит, который разрешает или запрещает переключение триггера на *следующем* фронте тактового импульса. К моменту его поступления информация на входе разрешения уже подготовлена. Так, на такте №15 все триггеры схемы установлены, т.е.  $Q[3..0] = 1111_2$ . Это означает, что на всех входах  $E$  присутствует уровень лог. «1», и по фронту тактового импульса все триггеры переключаются в 0 одновременно. Время, уходящее на переключения показанного счетчика, не зависит от его разрядности и для микросхем серии 74НС составляет порядка 10 нс.

Все современные цифровые устройства являются исключительно синхронными: имеют общий для всех узлов тактовый генератор, которому подключены все тактовые входы триггеров и микросхем, которые их содержат, вплоть до ПЛИС и микроконтроллеров. Если в каком-то аппаратном комплексе есть несколько таковых генераторов, обеспечение их совместной работы и передачи данных из блок в блок без повреждений решается отдельными, порой чрезвычайно сложными, схемотехническими решениями.

Сравнение процессов переполнения синхронного и асинхронного счетчиков показано на Рис. 48.

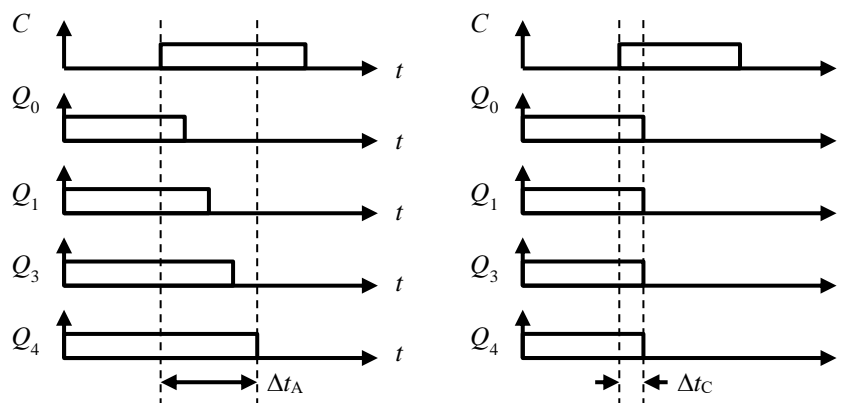


Рис. 48. Сравнение быстродействия асинхронного и синхронного счетчиков

Время  $\Delta t_c$ , которое уходит у синхронного счетчика на изменение состояния всех его триггеров, определяется лишь быстродействием одного триггера. В то же самое время, асинхронному счетчику потребуется время  $\Delta t_A = \Delta t_c \cdot (N-1)$ , где  $N$  – разрядность счетчиков. Естественно, оба сравниваемых счетчика должны быть построены на одной элементной базе.

Схемы синхронных счетчиков сравнительно более сложны, собрать их на универсальных триггерах не так просто, и исследоваться в настоящей лабораторной работе они не будут. Позже будет подробно рассмотрен 4-разрядный синхронный счетчик, реализованный в виде готовой микросхемы типа 74НС191. Тем не менее, одной из целей выполнения настоящей работы является осознание разницы между асинхронными и синхронными схемами.

Другие популярные схемы, которые можно легко построить на триггерах – сдвиговые регистры и кольцевые счетчики. Фактически, речь идет об одной и той же схеме с минимальными отличиями.

Сдвиговый регистр – это цепочка из D-триггеров, у которых выходы  $Q$  соединены с информационными входами  $D$ . Все тактовые входы схемы соединены вместе и подключаются к внешнему источнику тактирования. Естественным образом сдвиговые регистры бывают исключительно синхронными. На каждом такте информация, которая хранится в  $i$ -том триггере, записывается в  $i+1$ й, а ее место занимает бит, поступивший из  $i$ -1го. Вход  $D$  младшего триггера является информационным входом всей схемы, а выход старшего триггера – ее информационным выходом. Если разрядность сдвигового регистра – 1, то она вырождается в одиночный D-триггер. Он является триггером задержки, и если бит поступает на триггер после некоторого такта, на выход этот бит поступит по следующему такту. Если триггеров несколько ( $N$ ), то на выходе всей схемы биты будут задерживаться, соответственно, на  $N$  тактов.

Основная область применения сдвиговых регистров – так называемые сериализация и десериализация потоков данных (от англ. «serialization», «deserialization»).

Под сериализацией подразумевается превращение многоразрядных слов, поступающих по какой-то шине  $D[N..0]$ , в поток битов, передаваемых по одной цепи. Биты присутствуют в этой цепи по очереди. Смена битов может синхронизироваться отдельным тактовым сигналом, в этом случае речь идет о синхронном последовательном интерфейсе передачи данных. Если же смена битов случается через заранее оговоренные интервалы времени, то получается асинхронный последовательный передатчик.

Сериализованные данные передаются между электронными устройствами, при этом на приемнике осуществляется десериализация, то есть, поток битов преобразуется в слова, которые поступают в схему приемного устройства через параллельную шину сдвигового регистра  $Q[N..0]$ .

Схема простейшего сдвигового регистра показана на Рис. 49.

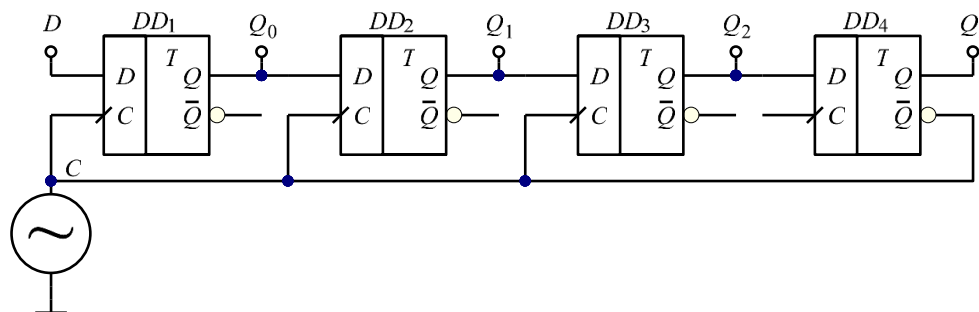


Рис. 49. Простейший 4-разрядный сдвиговый регистр

Такая схема годится только для операции десериализации (т.е. приема битовой последовательности). В такой роли ее функционирование описывается весьма просто. За некоторое время до подачи первого тактового импульса в цепи, подключаемой к информационному входу схемы  $D$ , передатчиком устанавливается логический уровень, соответствующий старшему биту  $D_3$  принимаемой последовательности. По фронту  $C$  этот бит запоминается в триггере  $DD_1$  и поступает на информационный вход триггера  $DD_2$ . Далее в цепи  $D$  передатчиком формируется логический уровень, соответствующий второму по старшинству биту  $D_2$ . По фронту  $C$  он запоминается триггером  $DD_1$ , а бит  $D_3$  переносится из  $DD_1$  в  $DD_2$ . Аналогичным образом еще два тактовых импульса требуются на запоминание еще двух битов – первого  $D_1$  и нулевого  $D_0$ . Всякий раз уже запомненные биты переносятся в сторону старшего триггера  $DD_4$ . Таким образом, за 4 такта битовая посылка заполняет все четыре триггера схемы, и может после этого быть прочитанной с выходной группы сигналов  $Q_0-Q_3$ , если объединить их в шину  $Q[3..0]$ . Биты  $A$ ,  $B$ ,  $C$  и  $D$ , которые находятся в триггерах  $DD_{1-4}$  до начала приема данных, теряются. Тактовая диаграмма простейшего 4-битного сдвигового регистра в режиме последовательного приема данных показана на Рис. 50.

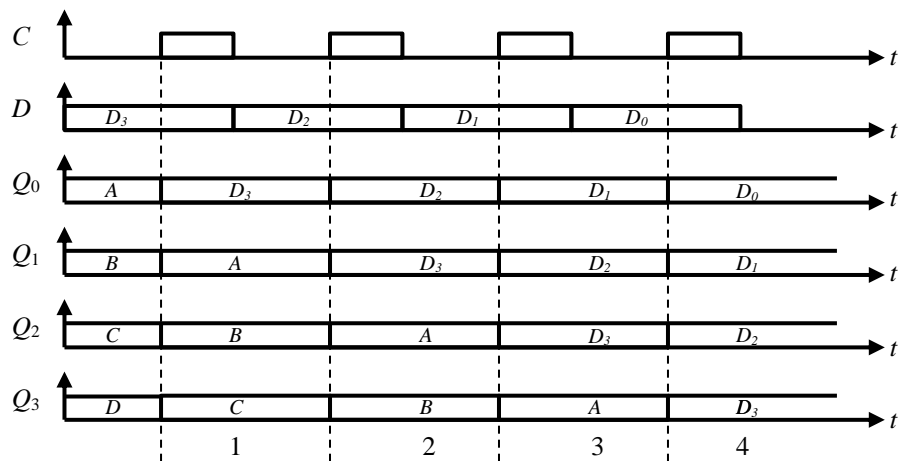


Рис. 50. Тактовая диаграмма сдвигового регистра в режиме последовательного приема данных

Несколько сложнее дело обстоит, если сдвиговый регистр требуется для организации передачи данных. В этом случае нужно сначала записать четыре бита, присутствующих в некоей шине  $D[3..0]$ , в триггеры, а затем подать на схему регистра 4 тактовых импульса. Самый простой способ сделать это – использовать мультиплексоры, которые коммутируют два сигнала в один выход под контролем управляющего сигнала, который мы назовем  $W$  (от англ. «Write», запись).

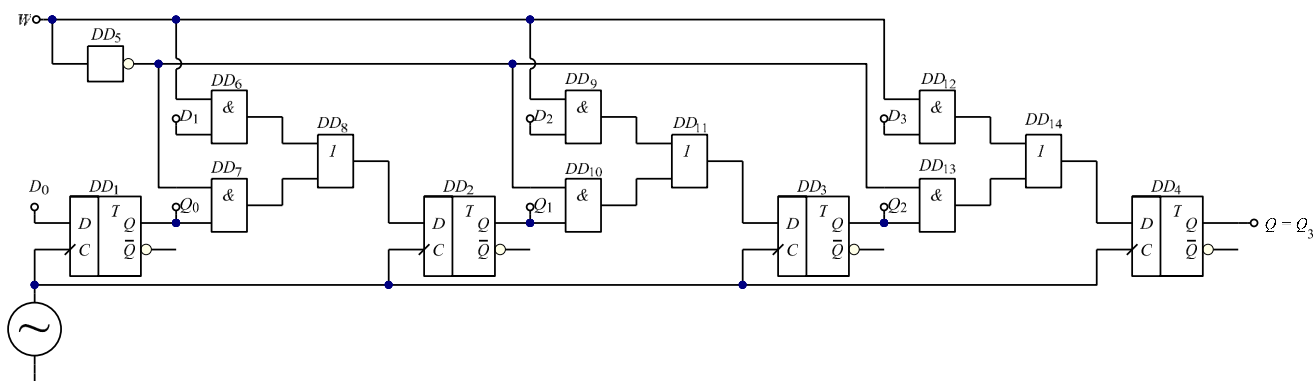


Рис. 51. Сдвиговый регистр с параллельной записью

Если построить эти мультиплексоры, как показано на Рис. 51, на двух элементах И и одном ИЛИ ( $DD_{6-14}$ ), то при  $W = 0$  на выходе  $DD_5$  действует уровень лог. «1» и на входы  $DD_{8,11,14}$  поступают биты с выходов  $Q$  регистров  $DD_{1-3}$ , т.к. на выходах  $DD_{6,9,12}$  действует уровень лог. «0». Схема функционирует в режиме сдвигового регистра, и на каждом такте слово, которое в нем хранится, побитно переносится в сторону выхода всей схемы  $Q$ . При этом естественным образом регистр заполняется битами в соответствии с уровнем на входе  $D_0$ . Если же  $W = 1$ , то ситуация обратная: на каждом такте с генератора регистр  $DD_1$  запоминает бит  $D_0$ , регистр  $DD_2$  – бит  $D_1$  и т.д., иными словами, схема работает так, как параллельный регистр, показанный на Рис. 42.

Таким образом, сформировав на входе схемы требуемую диаграмму тактового сигнала и сигнала записи  $W$ , полученную схему можно использовать для последовательной передачи данных, как проиллюстрировано на Рис. 52.

В течение такта с условным номером 0 на вход схемы подан уровень управляющего сигнала параллельной записи  $W = 1$ . Из-за этого по фронту сигнала на входе  $C$  биты  $A, B, C$  и  $D$ , ранее хранившиеся в триггерах  $DD_{1-4}$ , замещаются битами  $D[3..0]$ , поступающим на схему по параллельной шине. Такты №1-4 соответствуют работе схемы в режиме сдвигового регистра, поэтому на выходе  $Q = Q_3$  один за другим появляются биты  $D_3, D_2, D_1$  и, наконец,  $D_0$ .

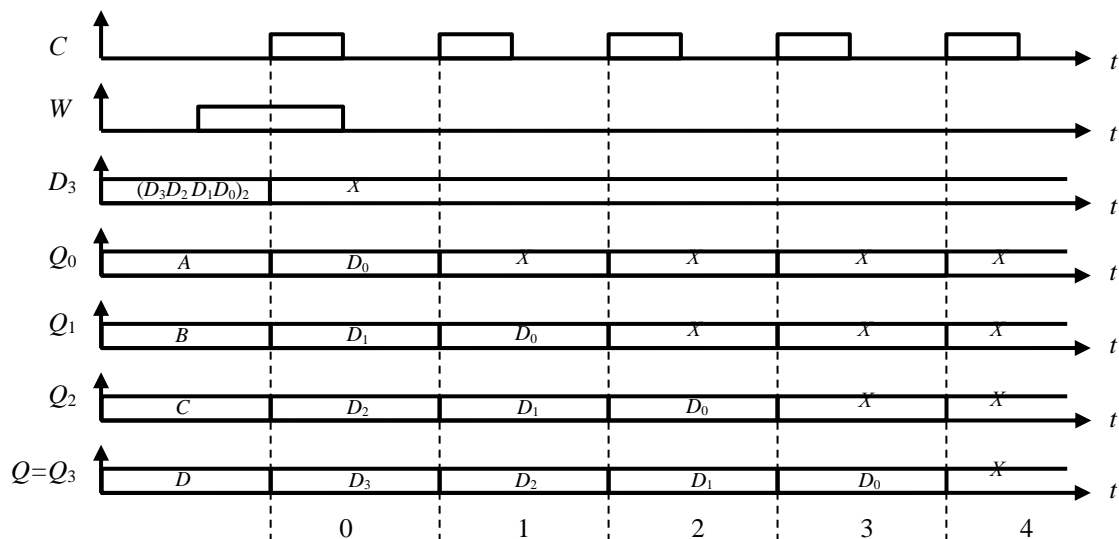


Рис. 52. Тактовая диаграмма сдвигового регистра в режиме последовательной передачи данных

При коэффициенте заполнения тактового сигнала в районе 50%, устройство, принимающее такую битовую посылку, может запоминать поступающие биты как по фронту, так и по срезу  $C$  на тактах 1-4. Если передача данных происходит в рамках одной цифровой схемы, то обычно и смена битов, и их запоминание происходят по одному и тому же событию, чаще по фронту. Если передача данных происходит между разными блоками какого-то устройства, то для надежности обычно смена битов на передатчике и их защелкивание на приемнике происходят по разным фронтам. Например, если схема, показанная на Рис. 51, сменяет биты по фронту, то приемнику битовой посылки следует срабатывать по срезу  $C$ .

Количественное описание такой «надежности» работы синхронных последовательностных схем сводится для каждой микросхемы к двум временам, называемым в англоязычной литературе «setup time» (время установки) и «hold time» (время удержания). В синхронной логике по каждому фронту происходят, фактически, два события. Бит от предыдущего логического блока в «конвейере» принимается на обработку следующим блоком (в примере сдвигового регистра речь идет всего лишь о триггерах). Через некоторое время, связанное лишь с быстродействием блока, предыдущий логический блок сменяет выходной бит и он становится равен значению, которое будет обработано следующим блоком на следующем такте. Непосредственно во время фронта тактового сигнала смены бита на информационном входе логической последовательностной схемы быть не должно: бит должен быть неизменен в течение времени установки до фронта тактового сигнала, и в течение времени удержания после него. В современной скоростной логике оба этих времени измеряются единицами наносекунд и меньше. Если при передаче данных при помощи сдвиговых регистров разнести моменты смены и запоминания битов по разным фронтам (переднему и заднему, или срезу), то большой запас по времени установки и удержания гарантируется естественным путем – они примерно равны половине периода тактового сигнала.

В практических схемах передача данных ведется байтами (по 8 бит), а для приема и передачи используются интегральные сдвиговые регистры с параллельной записью. Дополнительные схемы формируют сигнал стробирования: он переходит в активный уровень перед первым тактом, синхронно с которым передается первый бит данных, и обратно в неактивный, когда закончена передача последнего бита. Сигнал стробирования используется приемником, чтобы определить, когда началась передача байта, и когда закончилась. Это необходимо при передаче больших массивов данных, когда высок риск рассинхронизации. Рассинхронизация заключается в том, что в момент передачи первого бита передатчиком, счетчик принятых битов приемника не стоит на нуле, т.е. по окончании восьми тактов в

сдвиговом регистре приемника хранится часть старого байта, и часть нового. В интерфейсах ПК такая ошибка называется «Framing Error».

Чаще всего передача данных между устройствами осуществляется сразу в двух направлениях, т.е. за 8 тактов передается по байту данных в двух направлениях. Такие интерфейсы передачи данных называют дуплексными, а обмен байтами сводится к обмену содержимым сдвиговых регистров. Именно так устроен чрезвычайно популярный в микропроцессорной цифровой технике интерфейс SPI – Serial Peripheral Interface.

Простейшая модификация схемы сдвигового регистра позволяет создать устройство, называемое кольцевым счетчиком. Для этого следует всего лишь замкнуть выход старшего триггера схемы  $Q_3$  со входом младшего триггера  $D_0$  (см. Рис. 53).

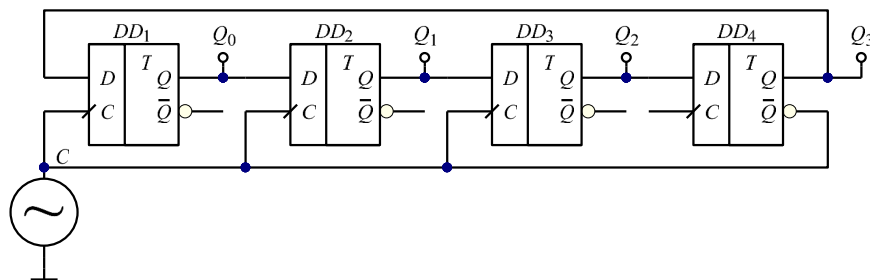


Рис. 53. Схема 4-разрядного кольцевого счетчика

При подаче тактового сигнала такая схема начинает сдвигать биты  $A$ ,  $B$ ,  $C$  и  $D$  слова, хранящегося в триггерах, на одну позицию (на каждый такт), при этом старший бит слова всякий раз переносится в младшую позицию.

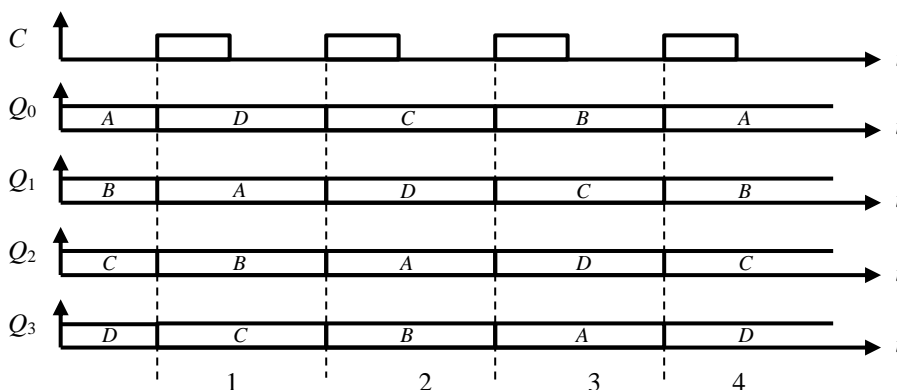


Рис. 54. Временная диаграмма сигналов 4-разрядного кольцевого счетчика

Направление, в котором кольцевой счетчик сдвигает биты (в сторону старшего или в сторону младшего) – условны, и определяются, фактически, тем, как подписаны номера цепей  $Q_0$ – $Q_3$ .

Впрочем, возможно реализовать и реверсивный кольцевой счетчик. Для этого, как и раньше, потребовалось бы четыре мультиплексора, которые под управлением общего для схемы сигнала смены направления в одном случае подключали бы выходы триггеров  $Q_n$  к входам более старших триггеров  $D_{n+1}$ , а в другом наоборот – выходы старших триггеров  $Q_{n+1}$  ко входам младших  $D_n$ .

Описанная схема популярна для решения задач, когда нужно, например, последовательно включать какие-то нагрузки, одну за другой. В этом случае в схему после запуска необходимо загрузить слово, в котором лишь один бит равен 1, а остальные – 0. Проще всего это сделать, подключив одну из схем, показанных на Рис. 43, к входам асинхронной установки  $\bar{S}$  одного триггера и входу сброса  $\bar{R}$  – всех остальных. Наглядный пример из области применения такого решения – эффект «бегущий огонь» для праздничной иллюминации. Другой способ использования схемы при описанной схеме инициализации – деление тактовой частоты на некоторое целое число, равное количеству триггеров в кольцевом счетчике.

### 4.3. Задание на проведение исследований

1. Соберите схему простейшего параллельного 4-разрядного регистра на четырех D-триггерах, согласно Рис. 55. Подключите к цепи  $Q_0$  светодиод №1 (верхний), к  $Q_1$  – №2 (второй сверху) и т.д. Такое подключение будет использовано во всех схемах данной лабораторной работы.

Обратите внимание, что входы  $\bar{R}$  и  $\bar{S}$  всех триггеров всегда подключены к лог. «1» (+5 В) через резисторы подтяжки номиналом 10 кОм, встроенные в плату лабораторного стенда. Для простоты на схеме они не показаны (и монтировать их также нет необходимости). Токоограничительные резисторы для светодиодов и резистор подтяжки кнопки 470 Ом уже тоже встроены в плату.

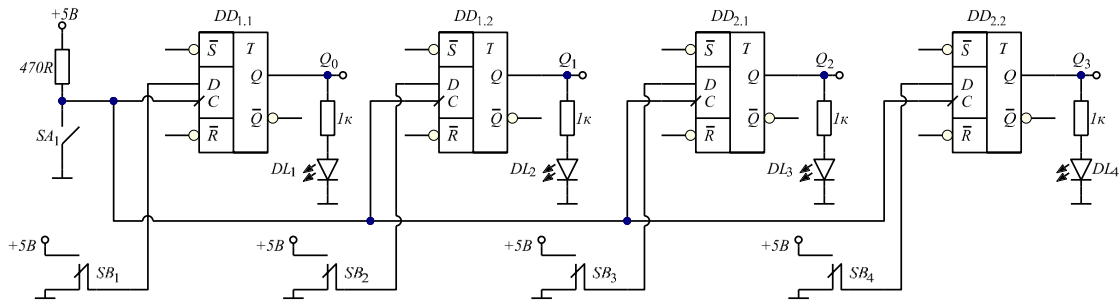


Рис. 55. Схема для исследования 4-разрядного параллельного регистра

Полученный регистр зашелкивает двоичный код (число)  $D[3..0]$ , поступающий с группы переключателей  $SB_{1-4}$ , по фронту сигнала, поступающего на тактовые входы триггеров. В качестве источника этого сигнала выступает кнопка  $SA_1$ . Механическая кнопка подвержена эффекту дребезга, так что на практике триггер может запоминать число на входе и по нажатию кнопки, и по ее отпусканью.

2. Изменяя входное число при помощи переключателей  $SB_{1-4}$ , и нажимая на кнопку  $SA_1$ , заполните таблицу функционирования регистра по образцу:

Таблица 7. К исследованию параллельного регистра

Код переключателей $SB_{1-4}$	$Q[3..0]^n$	$Q[3..0]^{n+1}$
0h (0000b)		
5h (0101b)		
Ah (1010b)		
Fh (1111b)		

Для подачи лог. «0» на тот или иной вход регистра соответствующий переключатель должен находиться в левом положении, а для подачи лог. «1», соответственно, в правом.  $Q[3..0]^n$  – число на выходе триггера до нажатия на кнопку  $SA_1$ ,  $Q[3..0]^{n+1}$  – после нажатия кнопки.

3. Соберите схему простого 4-разрядного счетчика согласно Рис. 56. Счетчик является асинхронным, т.к. его триггеры тактируются от разных источников, и в триггерах происходит накопление задержки распространения тактовых импульсов. Тактовые импульсы на вход первого триггера поступают от генератора, построенного на ЛЭ  $DD_{3.1}$ .

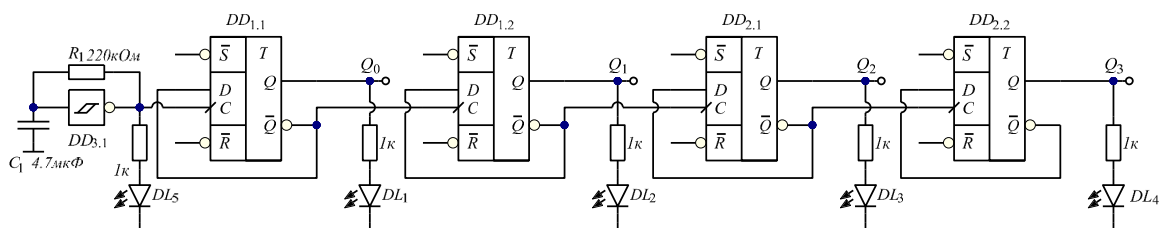


Рис. 56. Схема для исследования 4-разрядного асинхронного счетчика

Рабочая частота мультивибратора, построенного на инвертирующем триггере Шмитта  $DD_{3.1}$ , согласно (9) составляет порядка  $f = \frac{1}{0.8 \cdot 220 \cdot 10^3 \cdot 4.7 \cdot 10^{-6}} \approx 1.2$  Гц, так что включения и выключения светодиода  $DL_5$  будут легко различимы глазом.

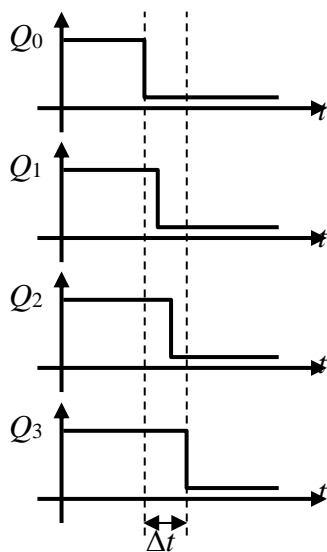


Рис. 57. К определению времени накопленной задержки

4. Подключите каналы 1–4 осциллографа к цепям  $Q_0$ – $Q_3$ , и затем сфотографируйте или зарисуйте осциллограмму работы счетчика, убедившись в том, что частота переключений логического уровня  $Q_0$  равна  $f/2$ ,  $Q_1 - f/4$ ,  $Q_2 - f/8$  и  $Q_3$ , соответственно, –  $f/16$ . Для получения осциллограммы удобнее временно увеличить частоту  $f$  в 10–100 раз, заменив резистор или конденсатор. Проанализируйте осциллограмму и сравните ее с известной из теоретических соображений тактовой диаграммой суммирующего счетчика.

5. Исследуйте эффект накопления задержки тактового сигнала асинхронного счетчика. Для этого установите нулевое смещение осциллограммы по оси времени (кнопка «Set to Zero»), настройте синхронизацию по отрицательному фронту (срезу) логического уровня  $Q_3$ , и значительно увеличьте масштаб по оси времени, приблизительно, до 10–20 нс в клетке. Измерьте при помощи курсоров накопленную задержку тактового сигнала как время, прошедшее между изменением состояния младшего бита  $Q_0$  из лог. «1» в лог. «0», и изменением состояния старшего бита  $Q_3$  (см. Рис. 57). Оцените, какую задержку вносит один триггер.

6. Соберите схему кольцевого счетчика с ручной начальной установкой (см. Рис. 58). Триггеры соединены «цепочкой». Вход следующего триггера подключен к выходу предыдущего, а выход последнего триггера подключен ко входу первого, так что на каждом тактовом импульсе биты, хранимые в регистрах, переносятся по цепочке по кругу.

Такая схема позволяет, в том числе, реализовать эффект «бегущего огня», однако, для этого нужно, чтобы число, биты которого переносятся по триггерам схемы, имело в своем составе всего одну единицу (остальные биты – нули).

После подачи питания содержимое триггеров неизвестно; на практике благодаря встроенным в плату лабораторного стенда резисторам подтяжки на входах  $D$  и  $C$ , они оказываются равными единицам, и эффекта бегущего огня не наблюдается.

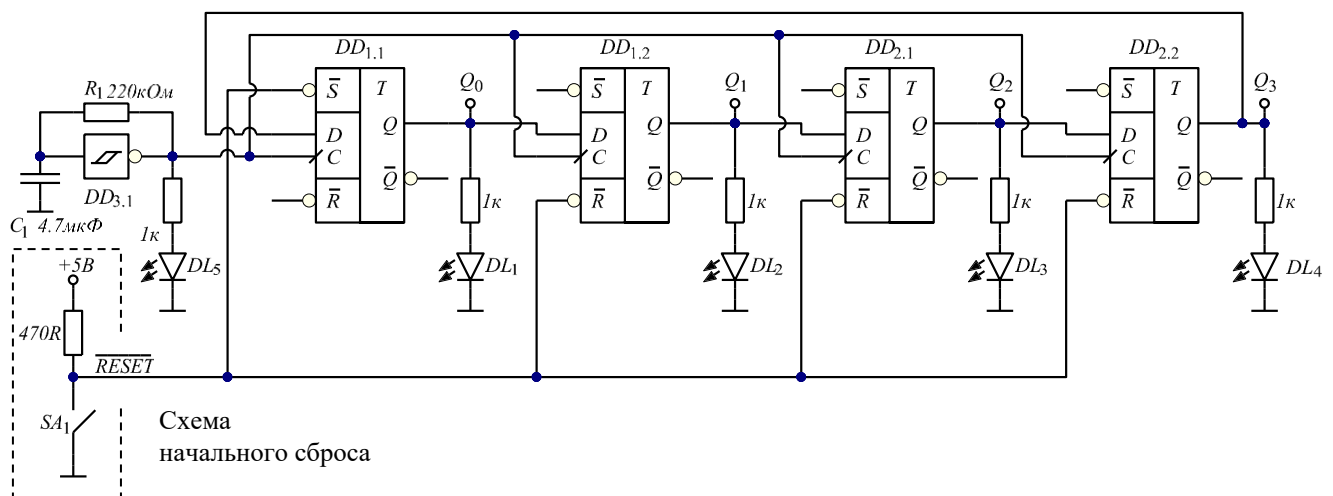


Рис. 58. Схема для исследования кольцевого счетчика с ручной начальной установкой

Чтобы инициализировать схему после подачи питания, к входам асинхронного сброса и установки подключена кнопка  $SA_1$  (цепь  $\overline{RESET}$ ). Незадействованные входы триггеров подключены к лог. «1» через не показанные на схеме встроенные резисторы подтяжки. Нажатие



на кнопку SA1 записывает в кольцевой счетчик число 1000b, вне зависимости от состояния тактового сигнала, а отпускание кнопки разрешает сдвиг числа в счетчике на каждом тактовом импульсе.

7. Подав питание на схему и, проинициализировав ее кнопкой SA1, зарисуйте или сфотографируйте осциллограмму сигналов  $Q_0 - Q_3$ , на которой виден, по крайней мере, один полный цикл работы схемы (4 периода тактового сигнала или порядка 4 секунд). Для этого одна клетка по оси  $X$  на экране осциллографа должна соответствовать времени 0.5-1 сек.

8. В практических схемах корректная инициализация последовательностных логических блоков при подаче питания осуществляется автоматически и не требует каких-либо действий пользователя. Простейшая реализация цепи инициализации (или, как еще принято говорить, *цепи начального сброса*) требует всего одного резистора и конденсатора, и опционального буферного ЛЭ. Этот ЛЭ обязателен в случаях, когда сигнал начального сброса поступает на входы множества интегральных микросхем. Для наглядности создадим буферный ЛЭ из двух последовательно включенных ЛЭ 2И-НЕ (см. Рис. 59, а).

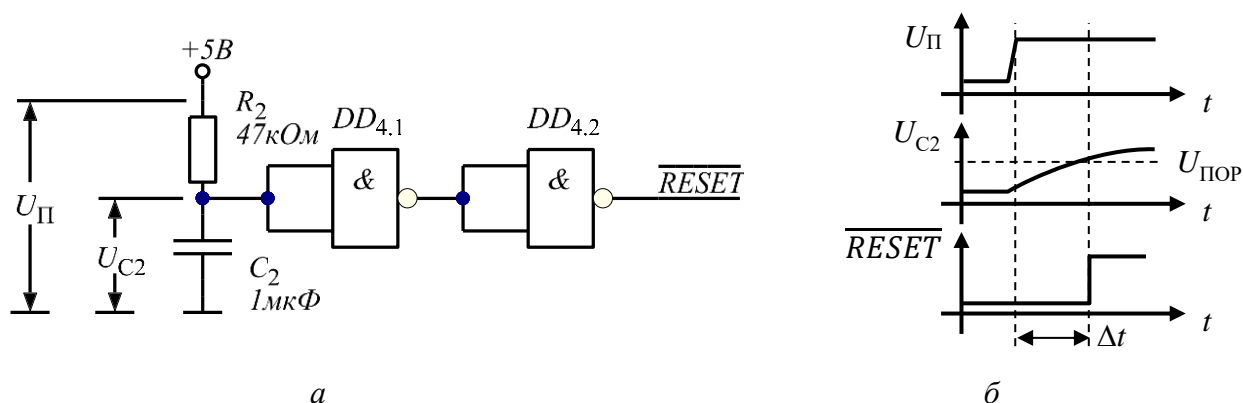


Рис. 59. Схема автоматического начального сброса (а) и ее временные диаграммы (б)

Принцип действия схемы предельно прост. При включении блока питания напряжение на верхней обкладке конденсатора  $C_2$  нарастает медленнее, чем само напряжение питания, что обеспечивается достаточно большой постоянной времени цепи  $R_2C_2$ :  $\tau \approx 0.7 \cdot RC = 0.7 \cdot 10^{-6} \cdot 47 \cdot 10^3 \approx 30$  мс. В течение времени  $\Delta t$ , когда напряжение питания уже достигло необходимого для работы микросхем уровня, а напряжение  $U_{C2}$  все еще ниже порога переключения ЛЭ  $U_{ПОР}$ , на выходе схемы присутствует уровень  $\overline{RESET} = 0$  (см. Рис. 59, б), и счетчик инициализируется числом 8h (1000b).

В схеме Рис. 58 замените блок ручной инициализации на цепь, показанную на см. Рис. 59, а. Подключите канал №1 осциллографа к верхней обкладке конденсатора  $C_2$ , канал №2 – к напряжению питания, а канал №3 – к выходу схемы начального сброса  $\overline{RESET}$ . Настройте осциллограф на синхронизацию по каналу №3, режим синхронизации – «Normal» (блокировка обновления экрана, если нет событий синхронизации). Получите осциллограмму сигналов цепи начального сброса при включении лабораторного блока питания, аналогичную показанному на Рис. 59, б, и убедитесь в том, что вся схема инициализируется корректно (и начинает демонстрировать эффект «бегущий огонь») после подачи питания.

9. По полученной осциллограмме определите длительность импульса сброса на выходе схемы как разность времени перехода цепи  $\overline{RESET}$  в состояние лог. «1» и времени, когда после включения питания схемы быстро нарастающее напряжение  $U_{П}$  достигло уровня, необходимого для функционирования микросхем. Для серии 74НС этот уровень составляет 2 В, для серии 74НСТ – 4.5 В.

10. Модифицируйте имеющуюся схему, чтобы вместо кольцевого счетчика реализовать сдвиговый регистр. Сдвиговый регистр это, фактически, кольцевой счетчик, у которого вход младшего триггера не подключен к выходу старшего, а работает в качестве входа для последовательного ввода данных. Выход старшего триггера можно использовать как выход последовательного вывода данных. В качестве источника сигнала для последовательного входа используйте переключатель (см. Рис. 60). Схема начального сброса более не требуется.

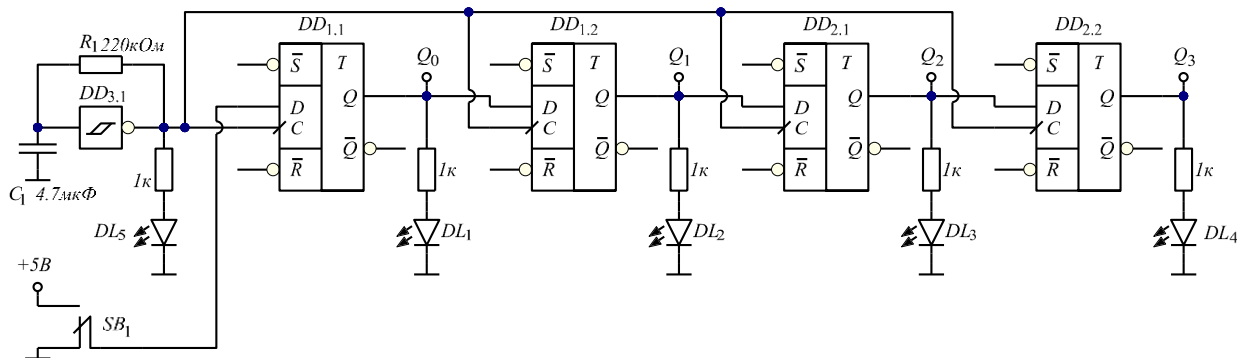


Рис. 60. Схема для исследования сдвигового регистра

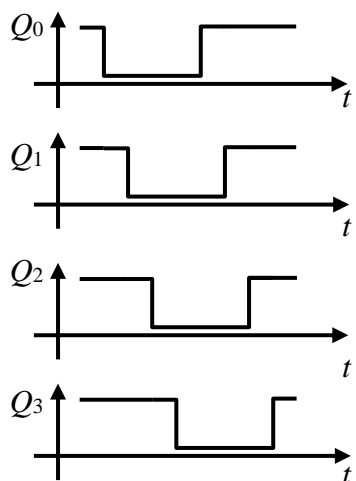


Рис. 61. Временные диаграммы работы сдвигового регистра

11. Меняя состояние переключателя, получите осциллограмму, на которой виден процесс заполнения регистров схемы сначала нулями, поступающими с переключателя, а затем – единицами (см. Рис. 61). Для этого масштаб оси  $X$  осциллографа должен быть таков, чтобы одна клетка на экране соответствовала интервалу времени порядка 1 с. Чтобы сделать «стоп-кадр» осциллограммы, нажмите кнопку «Run/Stop» на осциллографе.

12. Модифицируйте схему сдвигового регистра (см. Рис. 60). Удалив переключатель  $SB_1$ , подключите информационный вход  $D$  младшего триггера к инверсному выходу старшего триггера  $\bar{Q} = \bar{Q}_3$  (см. Рис. 62). Если после подачи питания все выходы триггеров содержат уровни лог. «1», а на практике из-за резисторов подтяжки в плате стенда обычно получается именно так, то  $\bar{Q}_3 = 0$  и начинается заполнение всех триггеров нулевыми битами.

При этом первым обнулится сигнал  $Q_0$ , затем  $Q_1$ ,  $Q_2$ . Последним сбрасывается логический уровень  $Q_3$ , тогда  $\bar{Q}_3 = 1$  и начинается процесс заполнения регистра единицами, от младшего бита – к старшему.

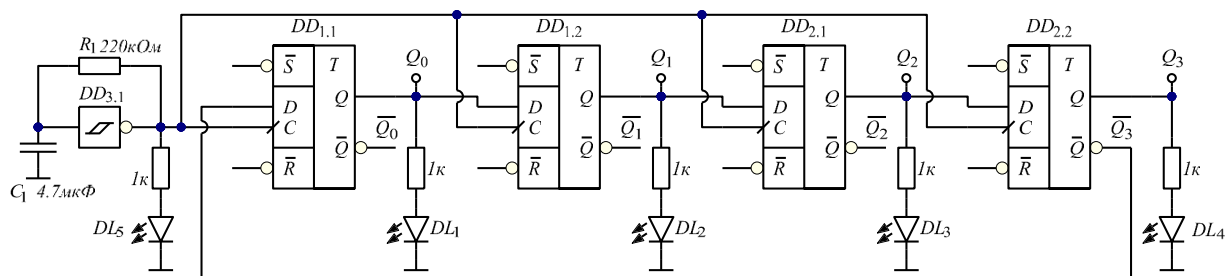


Рис. 62. Схема, создающая эффект «волны» на линейке светодиодов

Подключив 4 канала осциллографа к шине  $Q[3..0]$ , получите осциллограмму, содержащую полный цикл работы схемы – процесс заполнения всех битов сдвигового регистра нулями, а затем единицами (или наоборот, единицами, а затем нулями). Для этого проще всего опять использовать кнопку «Run/Stop» на осциллографе.

Если по какой-то причине при подаче питания в первый момент времени триггеры не хранят одинакового значения (в примере – лог. «1»), тогда эффект «волны» на светодиодах не реализуется, и триггеры нужно принудительно инициализировать по аналогии со схемой, показанной на Рис. 58 (к  $SA_1$  подключить, например, входы  $\bar{S}$  всех триггеров).

13. Удалив из схемы  $DL_5$ , подключите по порядку светодиоды №№4-8 (если считать сверху) к цепям  $\bar{Q}_0 \dots \bar{Q}_3$ , и получите эффект перемещающейся светящейся полосы сразу на восьми индикаторах.

## 5. СИНХРОННЫЕ ЦИФРОВЫЕ СХЕМЫ И УСТРОЙСТВА ВВОДА-ВЫВОДА

### 5.1. Краткое описание лабораторной работы

1. В лабораторной работе исследуются способы организации ввода и вывода информации в синхронных цифровых схемах.
2. В качестве устройства ввода информации используются кнопки, подверженные дребезгу.
3. В качестве устройств вывода используются семисегментные индикаторы с общим анодом, работающие под управлением драйверов 74LS47.
4. Цифровой схемой, управляемой кнопками, являются синхронные реверсивные двоичные счетчики типа 74НС191 с асинхронным входом сброса и выходами для каскадирования двух типов.
5. В качестве источника тактовой частоты для схемы используется мультивибратор на инвертирующем триггере Шмитта.

### 5.2. Основные теоретические сведения

Как было показано выше, асинхронные схемы последовательностной логики обладают фундаментальным недостатком: их быстродействие снижается по мере роста их размера (разрядности, количества триггеров и т.д.). Например, как было показано в предыдущей лабораторной работе, максимальное время, которое необходимо потратить на переключение асинхронного счетчика, прямо пропорционально количеству триггеров, из которых он состоит.

По этой причине уже многие годы разрабатываются и производятся исключительно цифровые интегральные микросхемы с синхронной архитектурой (от СБИС со специфическими функциями до микроконтроллеров и микропроцессоров).

Синхронная логика накладывает ряд требований и ограничений на разрабатываемые схемы:

1. В схеме могут присутствовать только интегральные микросхемы с синхронной архитектурой (синхронные счетчики и т.п.).
2. Все микросхемы в схеме должны получать тактовый сигнал из общего источника, т.е. от одного генератора.
3. Использование асинхронных входов управления микросхемами допускается исключительно для начальной инициализации (начального сброса). Если использование асинхронных входов управления для нормальной работы схемы неизбежно, оно должно выполняться с максимальной осторожностью.

Подход к проектированию синхронных схем отличается от приемов, использующихся при разработке обычно более простых асинхронных устройств. Понять разницу в подходах удобнее всего на примере. Рассмотрим двоичный суммирующий счетчик, для которого требуется ограничить *коэффициент пересчета* – количество различных чисел, которые могут присутствовать на его выходе в процессе счета. Алгоритм схемы ограничения счета предельно прост: схема сравнивает число на выходе счета с некоторым значением, и как только достигается это значение, схема вырабатывает *сигнал сброса* счетчика, устанавливающий его на ноль.

Если счетчик имеет асинхронный вход сброса, т.е. подача на него активного уровня в любой момент времени приводит к записи нулей в триггеры, сброс осуществляется при достижении счетчиком числа, равного коэффициенту пересчета. При этом на выходе счетчика кратковременно присутствует это число. Длительность его присутствия определяется исключительно быстродействием логики, формирующей сигнал сброса счетчика, и триггеров, которые реагируют на этот сигнал. Если разрядность асинхронного счетчика невелика, порой для его сброса достаточно использовать всего один ЛЭ. Пример реализации такой схемы на триггерах показан на Рис. 63 (незадействованные входы сброса триггеров подключены к лог. «1»).



Для глубокого понимания происходящих при этом процессов следует рассмотреть тактовую диаграмму на уровне малых наносекундных задержек распространения сигналов. Процесс *каждого* переключения *асинхронного* счетчика содержит достаточно продолжительные интервалы времени, когда выходное число, фактически, не соответствует ожидаемому возрастающему ряду целых чисел. Так, при переключении с числа  $9_{10} = 1001_2$  на число  $10_{10} = 1010_2$  в асинхронном счетчике сначала переключается в ноль триггер  $DD_1$ , т.е. сбрасывается младший бит. В течение короткого момента времени, определяющегося быстродействием микросхем (десятки нс) на выходе счетчика фактически присутствует число  $8_{10} = 1000_2$ . Затем триггер  $DD_2$  реагирует на тактовый сигнал, и число становится равным  $10_{10} = 1010_2$ . Из-за такого накопления задержки при увеличении числа в асинхронном счетчике сначала всегда изменяются младшие биты, а затем – старшие, следовательно, пока счетчик считает от  $0_{10} = 0000_2$  до  $9_{10} = 1001_2$  комбинация битов, где  $Q_3 = 1$  и  $Q_1 = 1$  не встречается даже кратковременно. При сбросе счетчика число, равное коэффициенту пересчета, и превышающее на единицу максимальное число, разрешенное на выходе счетчика, присутствует в течение времени, также связанного с быстродействием ЛЭ и триггеров.

Важный вывод, который можно сделать из анализа схемы, прост: для ограничения коэффициента пересчета асинхронного счетчика с асинхронным входом сброса требуется сформировать для него импульс сброса при достижении значения, равного коэффициенту пересчета.

Совершенно иначе реализуется сброс счетчиков, имеющих вход синхронного сброса. Обычно и сами эти счетчики естественным образом являются синхронными. В таком счетчике и изменения состояния всех триггеров, и их сброс осуществляются по фронту тактового сигнала, а вход синхронного сброса имеет смысл *разрешения сброса*. Опрашивается этот вход по фронту тактового импульса. Если на него подан активный уровень, происходит запись нуля во все триггеры, если неактивный – дальнейший счет. Простейшая схема синхронного счетчика с синхронным сбросом показана ниже.

Схема выглядит очень громоздко и трудна для начального понимания, но на самом деле содержит регулярно повторяющиеся блоки с достаточно простыми функциями.

Рассмотрим младший триггер  $DD_1$ . Если цепь разрешения синхронного сброса  $\overline{SCLR}$  (Synchronous Clear) установлена в лог. «1» (неактивный уровень), то ЛЭ  $DD_5$  можно игнорировать, и к входу  $D$  триггера  $DD_1$  подключен его выход  $\overline{Q}$ . По каждому фронту тактового сигнала  $C$  триггер будет инвертировать бит  $Q_0$ , работая, как Т-триггер. Частота в цепи  $Q_0$  будет в 2 раза ниже тактовой частоты схемы, что полностью соответствует нормальному поведению младшего бита на выходе счетчика.

Триггер  $DD_2$ , формирующий бит №1 на выходе счетчика ( $Q_1$ ), требует более сложной обвязки. Согласно тактовой диаграмме суммирующего счетчика, его переключение разрешено только тогда, когда в момент поступления фронта тактового сигнала предыдущий бит ( $Q_0$ ) установлен в единицу. Тактовый вход триггера подключен к цепи  $C$ . Следовательно, триггеру невозможно запретить защелкивать бит со входа  $D$ . Чтобы реализовать такой запрет, нужна схема, которая подает на вход  $D$  триггера  $DD_2$  значение с его выхода  $Q$ , если переключения запрещены, и с выхода  $\overline{Q}$ , если разрешены. Такая схема называется мультиплексором и собрана на ЛЭ  $DD_{6-9}$ . Использованный прием подход уже рассматривался выше: если в цепи  $Q_0$ , несущей сигнал разрешения для переключения  $DD_2$  установлен лог. «0», то на выходе  $DD_8$  всегда удерживается уровень лог. «0», а на выходе  $DD_7$  уровень равен  $Q_1$ . На выходе  $DD_9$  уровень также равен  $Q_1$ , и если  $\overline{SCLR} = 1$ , по фронту тактового сигнала  $C$   $DD_2$  защелкнет бит с собственного выхода  $Q$ . Если же  $Q_0 = 1$ , то по фронту  $C$  в триггер  $DD_2$  попадет бит с выхода  $\overline{Q}$   $DD_2$ , и уровень в цепи  $Q_1$  проинвертируется. Таким образом, алгоритм счета двух младших битов  $Q_0$  и  $Q_1$  схемы верен: 00, 01, 10, 11, 00... (старший бит инвертируется, только если младший бит равен 1).

Совершенно аналогично работают и триггеры  $DD_{3,4}$ . Разница в их обвязке заключается лишь в том, что каждому из этих битов разрешено инвертироваться по фронту тактового сигнала, только если *все* предыдущие (младшие) биты установлены в единицу. Для соблюдения этого

правила в обвязку триггеров  $DD_{3,4}$  добавлены ЛЭ  $DD_{11,17}$ . Они разрешают инвертирование данного триггера, только если разрешено инвертирование всех предыдущих (т.е. эти ЛЭ соединены по цепочке). Так реализуется алгоритм счета 4-разрядного суммирующего счетчика: 0011, 0100, ... 0111, 1000, ... 1111, 0000.

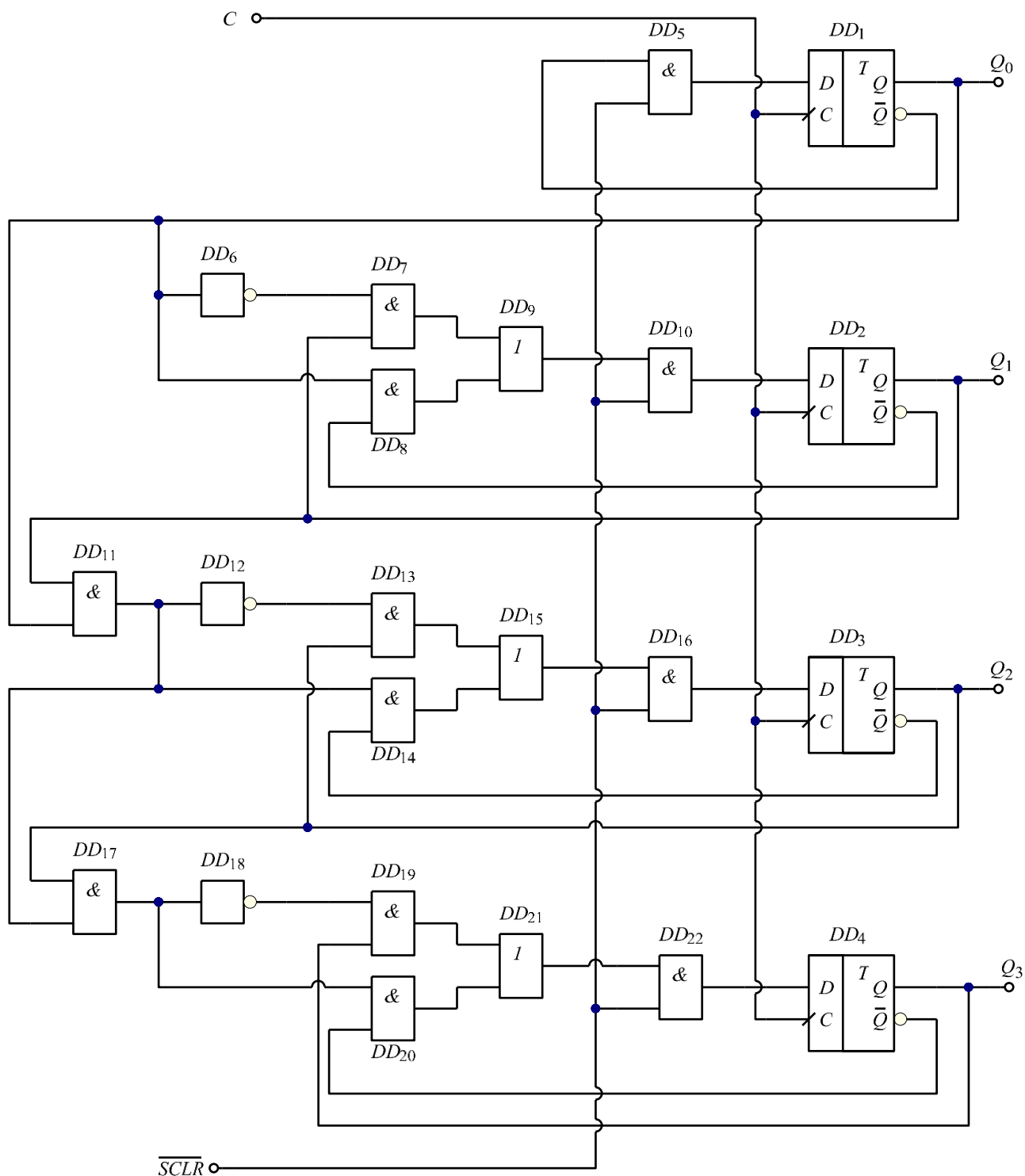


Рис. 65. Схема синхронного счетчика с синхронным сбросом на D-триггерах и ЛЭ

Функция синхронного сброса же реализуется и вовсе просто. До сих пор мы игнорировали существование в схеме ЛЭ  $DD_{5,10,16,22}$ , установив  $\overline{SCLR} = 1$ . Если же эта цепь установлена в лог. «0», то вне зависимости от каких-либо других сигналов схемы на входы  $D$  всех триггеров подступает лог. «0» по ближайшему фронту тактовых импульсов все выходы  $Q_3-Q_0$  окажутся занулены, т.е. счетчик сбросится. Чрезвычайно важно усвоить, что сброс происходит по фронту

тактового сигнала, т.е. цепь  $\overline{SCLR}$  имеет смысл «разрешение сброса». Подача  $\overline{SCLR} = 0$  сама по себе не сбрасывает счетчик и ничего не меняет в схеме, если тактовый генератор отключен.

Для того чтобы ограничить коэффициент пересчета 4-разрядного синхронного счетчика с синхронным сбросом, требуется сформировать сигнал разрешения сброса тогда, когда счетчик установился на значение, меньшее коэффициента пересчета на единицу.

Для примера с ограничением коэффициента пересчета числом 10 (счетчик считает в диапазоне 0-9 и сбрасывается) к ЛЭ типа 2И (см. DD5 на Рис. 63) следует подключить биты  $Q_0$  и  $Q_3$ , т.к.  $9_{10} = 1001_2$ . Тактовая диаграмма работы такой схемы показана на Рис. 66.

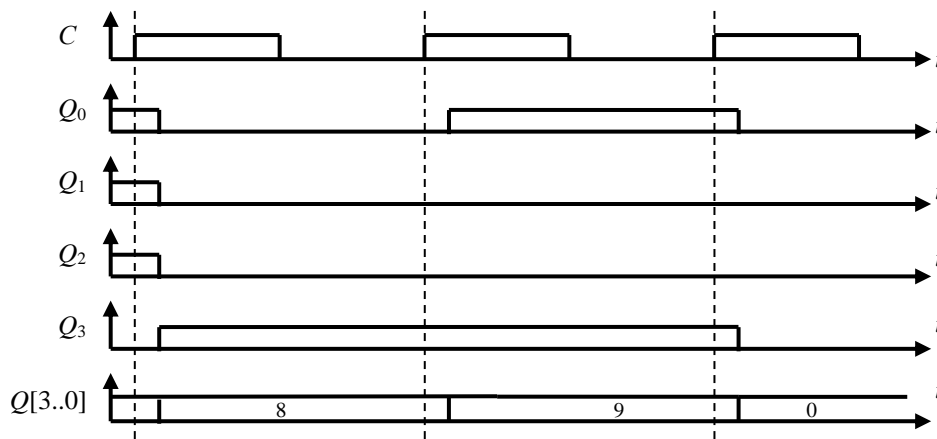


Рис. 66. Временная диаграмма работы синхронного счетчика с синхронным сбросом коэффициентом пересчета, ограниченным значением 10

Как видно, у синхронного счетчика нет эффекта накопления задержки переключения триггеров, а сброс не сопровождается кратковременным (пропорциональным задержке распространения сигнала микросхем) присутствием на выходе числа, превышающего максимальное желаемое число (в примере – 9). Это выгодно отличает синхронные счетчики с синхронным сбросом от асинхронных схем.

Вместе с тем, нужно понимать, что даже если триггеры одинаковы с точки зрения схемотехники и переключаются по одному тактовому сигналу, в реальности у понятия «синхронно» есть предел. Во-первых, экземпляры триггеров отличаются друг от друга быстродействием (будь они отдельными интегральными схемами или элементами одного микрочипа). Во-вторых, любое средство контроля состояния битов  $Q[3..0]$  не может быть подключено к выходу схемы или интегральной микросхемы математически тождественными проводниками так, что время распространения электрического сигнала по ним также математически тождественно. Это означает, что каждое переключение синхронного счетчика все-таки сопровождается пусть крайне малым (куда меньшим, чем для асинхронного счетчика), но все же ненулевым интервалом времени, когда на выходе суммирующего счетчика присутствует число не числа, не укладывающиеся в растущую последовательность целых чисел. При этом в отличие от асинхронного счетчика предсказать их значения решительно невозможно.

Из этого следует чрезвычайно важный вывод, касающийся использования функции асинхронного сброса у синхронных (по архитектуре) счетчиков. Ограничение коэффициента пересчета методом, проиллюстрированным на Рис. 63 (несколько бит счетчика подключены к комбинаторной схеме, выход которой непосредственно заведен на вход асинхронного сброса), категорически не допустимо. На выходе такой комбинаторной схемы, будь то ЛЭ, цифровой компаратор и т.д. требуется установить D-триггер, тактируемый от общего генератора тактовых импульсов, а уже выход этого триггера следует подключать к входу асинхронного сброса. Это исключит вероятность поступления на этот вход активного уровня, вызванного непредсказуемым значением числа на выходе счетчика, присутствующим в течение крайне малых интервалов времени, которые, однако, могут оказаться достаточными для ложного срабатывания сброса.

Наличие синхронизирующего триггера превращает асинхронный вход сброса в аналог синхронного, однако, число, формирующее импульс сброса, должно быть на единицу больше



максимального желаемого числа на выходе счетчика, и равно коэффициенту пересчета, для случаев, когда счетчик инкрементируется по каждому тактовому импульсу. Если же счетчик инкрементируется не по каждому тактовому импульсу (для чего задействован вход разрешения счета, присутствующий у многих счетчиков серии 7400), это не обязательно. В обоих случаях на выходе синхронного счетчика в течение какого-то времени будет присутствовать число, равное коэффициенту пересчета (минимум один такт генератора).

Вообще, использование асинхронных входов сброса (записи, установки) и т.д. у синхронных счетчиков

В настоящей лабораторной работе используется синхронный реверсивный счетчик типа 74НС191 с асинхронной параллельной загрузкой. Его УГО показано на Рис. 67.

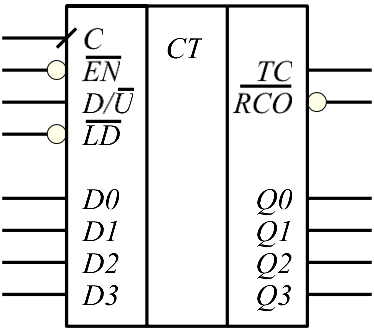


Рис. 67. Счетчик 74НС191

Рассмотрим функциональное назначение его выводов.

Таблица 8. Функциональное назначение выводов счетчика 74НС191

Вывод	Полное название (англ.)	Описание
Входы		
C	Clock	Тактовый вход, вывод подключается ко всем тактовым входам триггеров, из которых состоит счетчик. Триггеры срабатывают по фронту тактового сигнала.
$\overline{EN}$	Enable	Разрешение счета, активный низкий уровень. Лог. «1» разрешает счет, лог. «0» подавляет счет (тактовые импульсы не изменяют числа, хранимого в триггерах счетчика).
$D/\overline{U}$	Down / Up	Выбор направления счета. Лог. «1» настраивает счетчик как суммирующий, лог. «1» - как вычитающий.
$\overline{LD}$	Load	Вход активации асинхронной параллельной загрузки, активный лог. «0».
D0	Data 0	Бит, который записывается в младший триггер счетчика и поступает на выход Q0 при подаче лог. «0» на вход $\overline{LD}$ .
...	...	...
D3	Data 3	Бит, который записывается в старший триггер счетчика и поступает на выход Q0 при подаче лог. «0» на вход $\overline{LD}$ .
Выходы		
Q0	—	Выход младшего триггера счетчика.
...	...	...
Q3	—	Выход старшего триггера счетчика.
TC	Terminal Count	Выход переполнения (переноса) счетчика для синхронного каскадирования. При счете на увеличение лог. «1» присутствует на этом выходе, пока $Q[3..0] = 15$ , при счете на уменьшение – пока $Q[3..0] = 0$ . При каскадировании двух

		счетчиков вход разрешения старшего счетчика $\overline{EN}_{СТ}$ может быть подключен к цепи $TC_{МЛ} \cdot \overline{EN}_{МЛ}$ (см. Рис. 69, в)
$\overline{RCO}$	Ripple Carry Output	Импульсный выход переполнения (переноса) счетчика. Лог. «0» присутствует на выходе счетчика в течение последнего времени паузы тактового сигнала, непосредственно после которого происходит переполнение счетчика. При счете на увеличение лог. «0» присутствует во время фронта тактового сигнала, непосредственно после которого счетчик переключается в $Q[3..0] = 0$ , при счете на увеличение – 15. Длительность импульса лог. «0» всегда равна $\frac{1}{2}$ периода тактового сигнала. При асинхронном каскадировании, которое реализуемо, но не рекомендуется к использованию (см. Рис. 69, а) этот выход младшего счетчика может быть подключен к тактовому входу старшего. При синхронном каскадировании этот выход младшего счетчика подключается к входу разрешения старшего.

Понять отличия выходов переноса счетчика 74НС191 помогает фрагмент его внутренней логической схемы, показанной на 0. Она существенно упрощена и валидна только для конфигурации, когда счетчик работает как суммирующий (считает на увеличение). Как видно, сигнал  $TC$  устанавливается в лог. «1» при помощи ЛЭ 4И, в моменты времени, когда  $Q[3..0] = 15_{10} = 1111_2$ . Далее этот сигнал поступает на входы ЛЭ 3И-НЕ. На два других его входа поступает тактовый сигнал  $C$  и проинвертированный сигнал разрешения работы  $\overline{EN}$ . Когда  $TC = C = 1$  и  $\overline{EN} = 0$ ,  $\overline{RCO} = 0$ , иначе  $\overline{RCO} = 1$ . Соответственно, длительность импульса лог. «0» на  $\overline{RCO}$  не может превышать половины периода тактового сигнала в конце цикла работы счетчика.

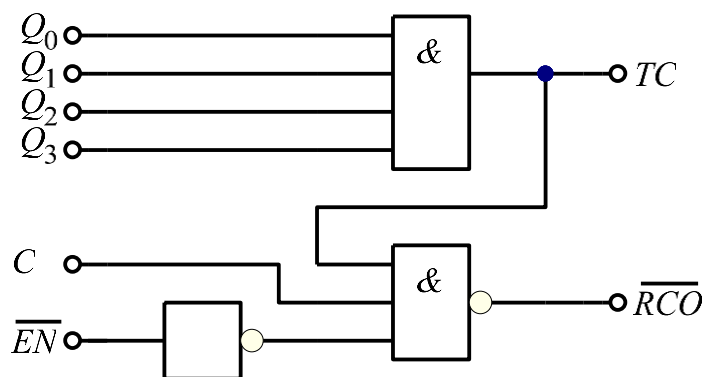


Рис. 68. Схемотехника выходов  $TC$  и  $\overline{RCO}$  счетчика 74НС191

Каскадировать счетчики 74НС191 можно различными методами. Все они показаны на Рис. 69. Все три схемы показывают каскад из трех микросхем, с получением 12-разрядного счетчика. Действуя по аналогии, можно увеличивать число разрядов до любого требуемого значения.

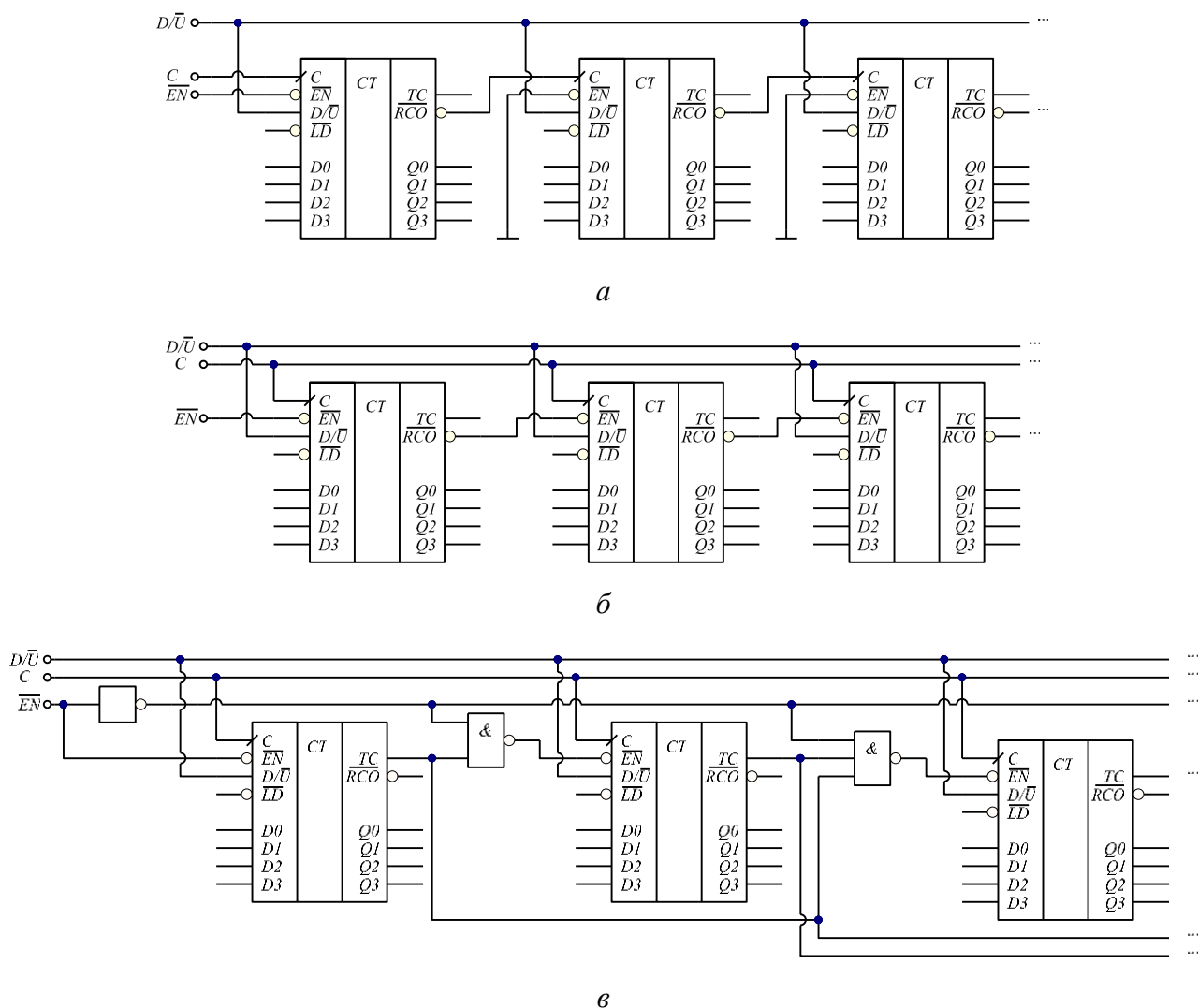


Рис. 69. Методы каскадирования счетчиков 74HC191: асинхронный (а), с использованием импульсного выхода переноса (б), параллельное каскадирование с использованием маскированного выхода переноса (в)

Третий метод каскадирования (Рис. 69, в) является наиболее совершенным, т.к. обеспечивает самую высокую максимальную тактовую частоту схемы. Фактически, синхронное каскадирование с использованием импульсного выхода переноса (Рис. 69, б) работает по такой же, с точки зрения алгебры логики, схеме. Однако, вместо многовыходовых ЛЭ типа И-НЕ, установленных между каскадами (2, 3, 4 и т.д. входа после каскада №1, 2, 3 и т.д. соответственно), используется цепочка таких же ЛЭ, управляющих выходами  $\overline{RCO}$ , встроенных в каждый из счетчиков. Это снижает максимальную тактовую частоту схемы. Самый простой, но несовершенный метод – асинхронный (Рис. 69, а). Он дает минимальное быстродействие.

Для более глубокого понимания принципа действия микросхемы 74HC191 читателю настоятельно рекомендуется обратиться к документации на этот счетчик и проанализировать его тактовую диаграмму и внутреннюю схему.

Очевидно, что при ограничении коэффициента пересчета счетчика его встроенные возможности для каскадирования оказываются незадействованными. В этой связи, для случаев, когда требуется подсчитывать какие-то события в двоично-десятичном коде с выводом чисел на индикаторы, рекомендуется использовать не двоичные счетчики с ограниченным значением 10 коэффициентом пересчета, а двоично-десятичный аналог рассмотренной микросхемы – 74HC190.

Часто в практических схемах счетчики используются именно для подсчета числа каких-то событий, случающихся асинхронно работе схемы, т.е. эти события никак не связаны с работой ее тактового генератора.

Примерами таких схем можно назвать всевозможные частотомеры, тахометры, спидометры (подсчет числа событий за единицу времени), счетчики количества импульсов, объектов, измерителей расхода чего-либо при помощи оптических или механических датчиков (простой подсчет числа) и проч. При этом сами схемы обычно работают на тактовой частоте, многократно превышающей возможную частоту повторения событий. В таких случаях входные цепи, несущие сигналы о подсчитываемых событиях, должны быть подвергнуты предварительной обработке и далее – использованы для формирования сигналов разрешения счета. Очевидно, после того, как произошло событие (изменился логический уровень в цепи, поступающей с датчика, кнопки, фотоэлемента) на каскад из счетчиков должен поступить сигнал разрешения счета, активный в течение одного такта задающего генератора.

Общий подход к составлению таких схем обработки показан на Рис. 70.

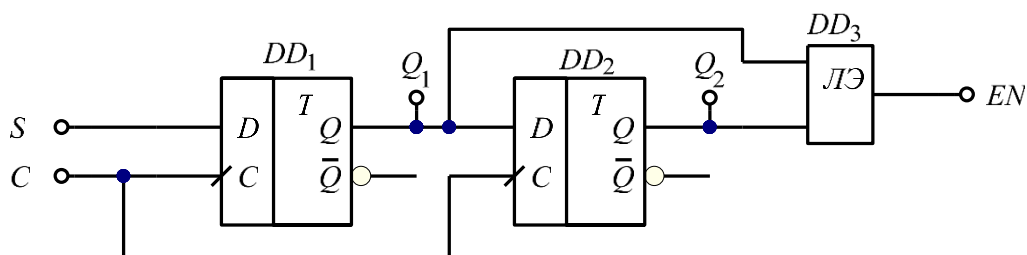


Рис. 70. Схема обработки асинхронных сигналов для подсчета числа событий

D-триггер  $DD_1$  синхронизирует входной сигнал схемы  $S$ , поступающий от кнопки, датчика, концевого выключателя и т.п. на фронты тактового сигнала  $C$ . Если частота тактовых импульсов  $C$  не слишком высока и составляет небольшие десятки Гц, этот триггер также выполняет функцию защиты от дребезга. Под дребезгом в технике подразумевается, что из-за неидеальности контактной группы одно нажатие на кнопку, замыкание концевого выключателя и т.д. в действительности представляет собой серию замыканий и размыканий коммутируемых цепей в течение малого времени (единицы миллисекунд). Очевидно, что если это время существенно меньше периода тактового сигнала, то на выходе первого триггера, в цепи  $Q_1$ , одно нажатие на кнопку приведет к одному изменению логического уровня при любом взаимном положении периода времени дребезга и фронта тактового сигнала.

Далее сигнал  $Q_1$  поступает на вход второго триггера  $DD_2$ . Изменение уровня  $S$  найдет свое отражение в соответствующем изменении  $Q_2$  на такт позже, чем для  $Q_1$ . То есть, если между фронтами тактовых импульсов №№  $n-1$  и  $n$ , т.е. в течение тактового периода №№  $n-1$ , сигнал  $S$  изменился с  $S^{n-1}$  на  $S^n$ , то  $Q_1^n = S^n$ , а  $Q_2^n = S^{n-1}$ . При этом  $Q_1^{n+1} = Q_2^{n+1} = S^n$ , если далее логический уровень  $S$  неизменен. Таким образом, в период времени между тактами №№  $n$  и  $n+1$ , т.е. в течение такта №№  $n$ ,  $Q_1$  равно предыдущему значению  $S$ . Сравнив предыдущее значение  $S$  с текущим, ЛЭ  $DD_3$  вырабатывает активный логический уровень сигнала  $EN$  длительностью в один период тактового сигнала, означающий, что схема протектировала изменение  $S$ . Активный уровень  $EN$  может быть как нулем, так и единицей, а тип ЛЭ  $DD_3$  зависит от желаемого результата. Активный уровень в цепи  $EN$  должен разрешить работу счетчика на один такт. Тогда каждый фронт/срез/изменение  $S$  будет приводить к увеличению числа в счетчике и, в итоге, счетчик будет подсчитывать эти изменения, оставаясь синхронным узлом в составе какой-то более сложной синхронной цифровой схемы.

Понять идею, заложенную в схему Рис. 70, поможет ее тактовая диаграмма, приведенная для ЛЭ  $DD_3$  различных типов. Каждый из типов ЛЭ дает свой результат: схема вырабатывает низкий/высокий уровень  $EN$  на один период тактового сигнала  $C$ , протектировав фронт/срез/любое изменение  $S$ . Всего – 6 вариантов использования схемы.

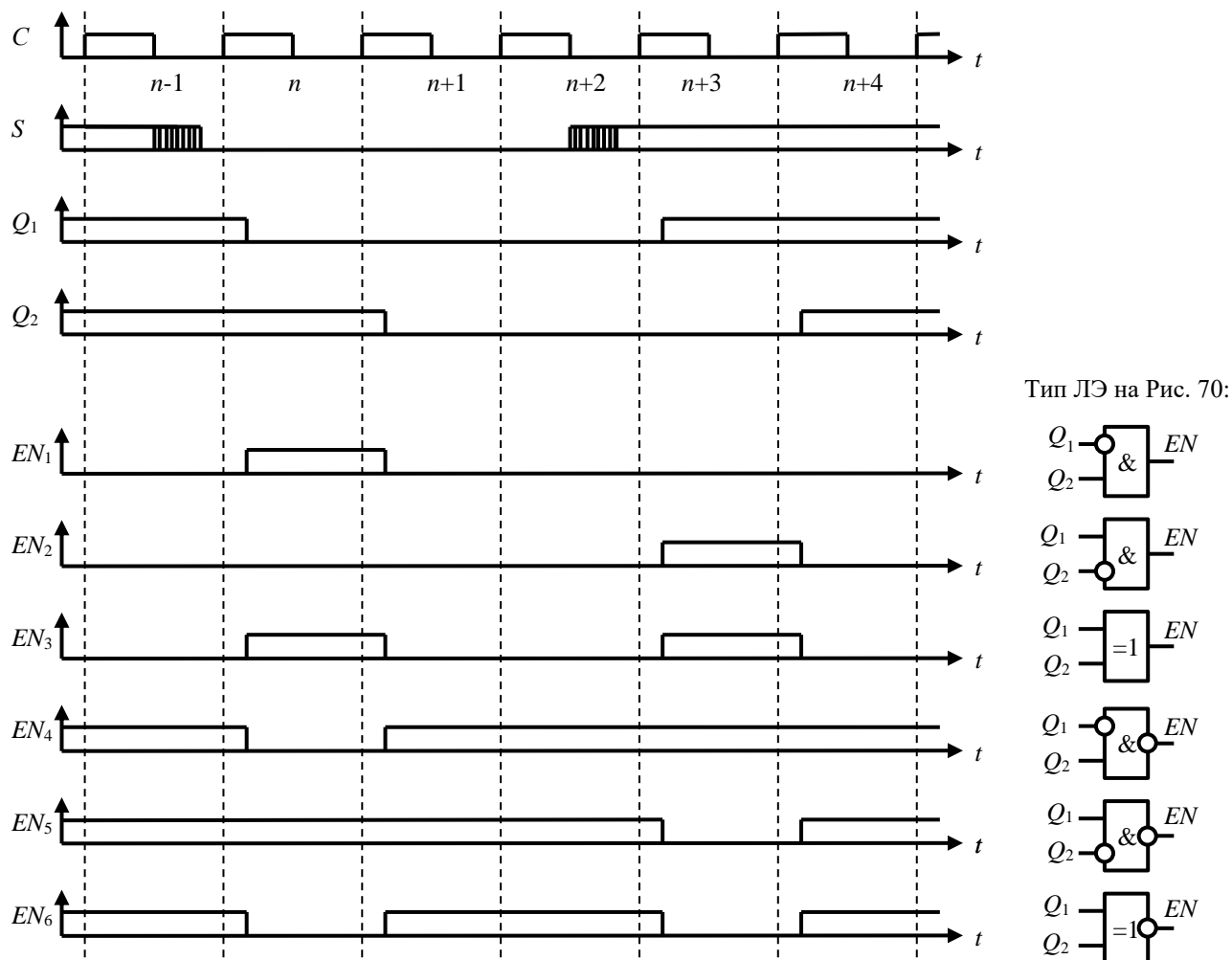


Рис. 71. Тактовая диаграмма схемы синхронной обработки асинхронных сигналов для различных типов выходного ЛЭ

Сигнал  $S$ , показанный на Рис. 70, имеет дребезг длительностью, не превышающей период тактового сигнала  $C$ . Дребезг показан серией логических переходов на переднем и заднем фронтах  $S$ . В качестве выходного ЛЭ предлагаются, порой, довольно необычные элементы (например, Иключающее ИЛИ-НЕ, И с инверсией одного входа). Такая система обозначения логических операций является общепринятой для логических схем, не являющихся электрическими принципиальными схемами, на основе которых создаются печатные платы или макеты электронных приборов. На практике такие ЛЭ можно составить из двух ЛЭ разного типа (И, И-НЕ, Иключающее ИЛИ и инвертора). Естественно, вместо того, чтобы инвертировать один из операндов ( $Q_1$  или  $Q_2$ ) перед подключением к выходному ЛЭ, куда эффективнее использовать инверсный выход D-триггера  $\bar{Q}$ . В какой-то практической схеме вместо элементов И бывает проще задействовать уже присутствующие в корпусах микросхем неиспользуемые элементы ИЛИ, воспользовавшись простейшими логическими преобразованиями (например, теоремой Де Моргана).

Если применить описанный и показанный на Рис. 70 схемотехнический блок для подсчета количества нажатий на кнопку, заземляющую вход  $S$ , при помощи счетчиков 74НС191, требуется использовать ЛЭ согласно вариантам №№4 и 5. Выход схемы обработки сигнала кнопки ( $EN_{4,5}$ ) потребует подключить ко входу разрешения счета  $\overline{EN}$ , а общую тактовую цепь  $C$  – к тактовому входу счетчика. Использование варианта №4 приведет к тому, что счетчик будет подсчитывать факты нажатия кнопки (заземления цепи  $S$ ), а вариант №5 – факты отпускания кнопки. Хотя в итоге оба способа дадут схожий результат, с точки зрения эргономики первый вариант – предпочтительнее.

Устройством вывода информации в цифровых схемах обычно являются индикаторные светодиоды. В случае если требуется вывести число в одноединичном коде (как, скажем, текущее положение лифта в его кабине), линейка светодиодов подключается к дешифратору. Однако во многих случаях индикатор одноединичного кода неудобен (в примере с кабиной лифта – если число этажей измеряется десятками). В таких случаях применяют семисегментные индикаторы. Они чрезвычайно просты как по конструкции, так и по управлению.

В семисегментном индикаторе содержится 7 дискретных индикаторных элементов (жидкокристаллических или светодиодных) скомпонованных в форме арабской цифры «8». Включая и выключая часть этих сегментов, на одном индикаторе можно вывести цифру в диапазоне от 0 до 9.

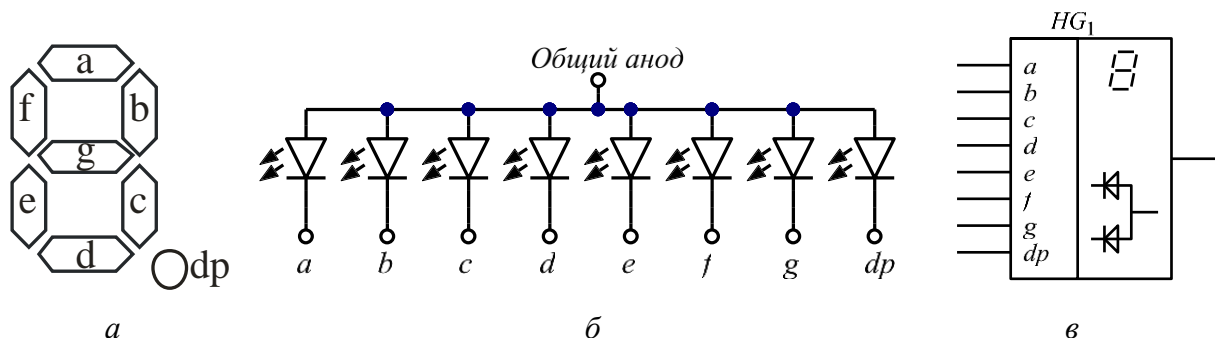


Рис. 72. Расположение сегментов семисегментного индикатора (а), внутренняя структура светодиодного индикатора с общим анодом (б) и его УГО (в)

Сегменты принято называть латинскими буквами a, b, c, d, e, f и g. Дополнительный сегмент dp – встроенный в индикатор светодиод круглой формы, который, при необходимости, используется для отображения десятичного разделителя (точки), если несколько семисегментных индикаторов объединены в группу для отображения многоразрядного числа с фиксированной точкой.

В индикаторе все светодиоды соединены или анодами, или катодами. Соответственно, если в общую цепь соединены аноды, эта общая цепь подключается к цепи питания, а для включения сегментов к цепям a-g и dp подключается ТТЛ уровень напряжения лог. «0», через индивидуальные токоограничительные резисторы. Если соединены катоды, то общая цепь подключается к земле, а сегменты включаются уровнем лог. «1». Ввиду несимметричных характеристик и нагрузочной способности ранних цифровых микросхем, включение сегментов логическим нулем и индикаторы с общим анодом получили больше распространение.

Очевидно, что четыре бита (полубайт), составляющих двоично-десятичное число, не могут быть подключены к индикатору напрямую. Далее, никакой четкой взаимосвязи между числом и положением включенных сегментов для отображения той или иной арабской цифры, с кодом этой цифры, нет. Записав таблицу истинности для схемы, активирующей нужные сегменты для каждого из десяти сочетаний четырех входных логических уровней, ее несложно синтезировать, используя обычные ЛЭ, а сама схема получится очень похожей на схему обычного дешифратора (4 входа, 7 выходов, потребуется 7 ЛЭ типа 4И-НЕ и 4 инвертора). В практических схемах делать этого не приходится, т.к. в серии 7400 присутствует ряд микросхем-драйверов, реализующих такой функционал. Микросхемы отличаются активным выходным уровнем цепей a-g (высокий или низкий, под индикаторы с общим катодом и анодом, соответственно), наличием или отсутствием встроенных токоограничительных резисторов, реакцией на входное число, превышающее значение 9, дополнительными функциями и возможностями. Одной из самых популярных микросхем является драйвер 7447, наиболее часто встречающийся в технологическом исполнении ТТЛШ: серия Low-power Schottky, 74LS47. Исполнение этого функционального узла по технологии КМОП не получило распространения.

УГО микросхемы 74LS47 показано на Рис. 73.

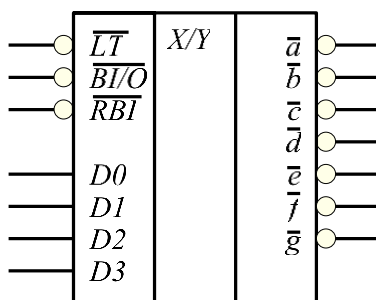


Рис. 73. УГО дешифратора 74LS47

Как видно, выходы дешифратора имеют активный низкий уровень, т.е. микросхема включает сегменты индикатора логическим нулем. Назначение выводов дешифратора показано в Таблица 9, отображаемый символ в зависимости от входного числа – в Таблица 10.

















Таблица 9. Функциональное назначение выводов дешифратора 74LS47

Вывод	Полное название (англ.)	Описание
Входы		
$\overline{LT}$	Lamp Test	Вход для тестирования подключенного индикатора. Подача лог. «0» на этот вход включает все сегменты вне зависимости от состояния остальных входов, кроме $\overline{BI/O}$ (для тестирования индикатора последний не должен быть заземлен).
$\overline{BI/O}$	Blanking Input, Ripple Blanking Output	Выводы, используемые для подавления ведущих нулей при индикации многоразрядных десятичных чисел. Если $\overline{RBI} = 0$ , то при подаче входного числа $D[3..0] = 0$ вместо того, чтобы включить все сегменты, кроме g (отображения цифры «0»), дешифратор выключает все сегменты.
$\overline{RBI}$	Ripple Blanking Input	Для подавления ведущих нулей требуется подключить к земле вход $\overline{RBI}$ дешифратора старшего десятичного разряда. Выводы $\overline{BI/O}$ старших дешифраторов по цепочке подключить ко входам $\overline{RBI}$ младших.  Для подавления конечных нулей требуется подключить к земле вход $\overline{RBI}$ дешифратора младшего десятичного разряда. Выводы $\overline{BI/O}$ младших дешифраторов по цепочке подключить ко входам $\overline{RBI}$ младших.  Вывод $\overline{BI/O}$ имеет подключен к выходу внутреннего ЛЭ дешифратора, который имеет тип «открытый коллектор» со встроенным резистором подтяжки. Этот вывод можно подключить к лог. «0» для отключения индикатора вне зависимости от остальных управляющих входов.
$D0$	Data 0	
...	...	...
$D3$	Data 3	
Выходы		
$\overline{a}$	—	Выход управления сегментом а, лог. «0» - сегмент включен, лог. «1» - сегмент выключен.
...	...	...



$\overline{g}$	—	Выход управления сегментом g, лог. «0» - сегмент включен, лог. «1» - сегмент выключен.
----------------	---	--

Таблица 10. Символы, отображаемые на 7-сегментном индикаторе в зависимости от входного числа

$D[3..0]$	Символ	$D[3..0]$	Символ	$D[3..0]$	Символ	$D[3..0]$	Символ
0		4		8		12	
1		5		9		13	
2		6		10		14	
3		7		11		15	

Как видно, дешифратор не в состоянии отображать числа в шестнадцатеричном формате. При подаче на его вход  $D[3..0]$  чисел, превышающих 9, на индикатор выводятся символы и значки, не являющиеся цифрами. Дешифраторы-драйверы, способные отображать ряд чисел 0...9, A, B, C, D, E, F, в принципе, выпускались электронной промышленностью. Примером такого компонента является микросхема MC14495-1. Однако, такие микросхемы не получили широкого распространения, и найти их в настоящий момент чрезвычайно сложно. В современных электронных устройствах индикаторы обычно управляются микроконтроллерами.

### 5.3. Задание на проведение исследований

1. Соберите схему, совмещающую в себе функции защиты от дребезга и детектирования нажатий на кнопку.

Она включает в себя два D-триггера, тактируемых из общего источника – мультивибратора на инвертирующем триггере Шмитта, рассчитанного на частоту приблизительно  $f = \frac{1}{0.8 \cdot 100 \cdot 10^3 \cdot 1 \cdot 10^{-6}} \approx 15$  Гц. Точное значение этой частоты не принципиально, период тактовой частоты лишь должен составлять порядка нескольких десятков миллисекунд.

Кнопка  $SA_1$  в не нажатом состоянии, подключенная к цепи  $S_1$ , с учетом схемы ее включения, обеспечивает хранение в триггере  $DD_{1.1}$  бита, равного единице. Тогда  $\overline{Q_1} = 0$ ,  $\overline{Q_2} = 1$ . На выходе ЛЭ  $DD_3$  формируется уровень лог. «1». При нажатии на кнопку происходитдребезг. Это означает, что один (субъективно для пользователя) факт нажатия на кнопку сопровождается несколькими коммутациями ее контактной группы, и на информационный вход D-триггера поступает серия импульсов. Процессдребезга исправной кнопки не превышает нескольких миллисекунд, поэтому одно нажатие на кнопку приведет, с учетом тактовой частоты, к одному факту смены уровня на выходе триггера  $DD_{1.1}$  на  $\overline{Q_1} = 1$  по ближайшему фронту тактового сигнала. В течение одного такта триггер  $DD_{1.2}$  будет хранить старое значение  $\overline{Q_2} = 1$ , и на выходе всей схемы (цепь  $S_2$ , выход ЛЭ  $DD_{3.1}$ ) сформируется импульс лог. «0» с длительностью в точности совпадающей с величиной  $1/f$ . При этом после нажатия на кнопку в схеме будет лишь один момент времени, когда фронт тактового сигнала имеет место при лог. «0» на выходе  $S_2$ .

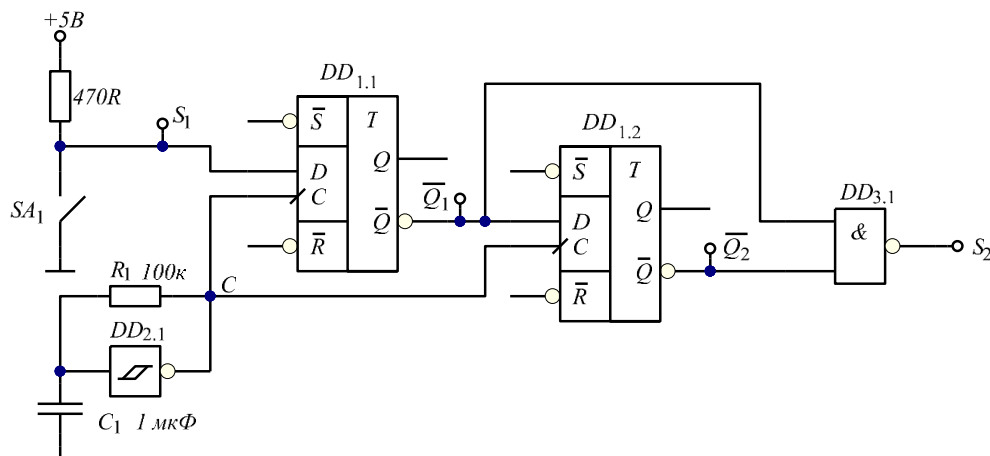


Рис. 74. Схема синхронной защиты от дребезга с выделением заднего фронта

При сборке схемы обратите внимание, что резистор подтяжки для кнопки (470 Ом) уже присутствует в плате, а входы асинхронного сброса и установки триггеров подключены к линии питания +5 В через резисторы 10 кОм (для компактности на схеме они не показаны).

2. Подключите канал №1 осциллографа к выходу мультивибратора (цепь С), канал №2 – к кнопке (цепь S<sub>1</sub>), канал №3 – к цепи Q<sub>1</sub>, №4 – к цепи Q<sub>2</sub>, настройте режим синхронизации «Normal». Синхронизируя осциллограф по каналу №1, установите такой масштаб по оси Х, чтобы осциллограмма содержала 7-8 периодов тактовой частоты. Переведите осциллограф в режим синхронизации по каналу №3, несколько раз нажмите на кнопку так, чтобы осциллограмма содержала: момент нажатия на кнопку, смену уровня в цепи Q<sub>1</sub>, смену уровня в цепи Q<sub>2</sub>.

3. Зарисуйте или сфотографируйте осциллограмму. При составлении отчета дополните ее сигналом на выходе  $S_2$  схемы Рис. 74, зная таблицу истинности ЛЭ  $DD_{3.1}$ .

4. Не разбирая схемы, дополните ее двумя счетчиками 74HC191, выходные биты которых поступают на преобразователи двоично-десятичного кода 74LS47 в код управления 7-сегментными индикаторами. Преобразователи уже подключены к индикаторам с общим анодом через токоограничительные резисторы, отдельно устанавливать их не требуется.

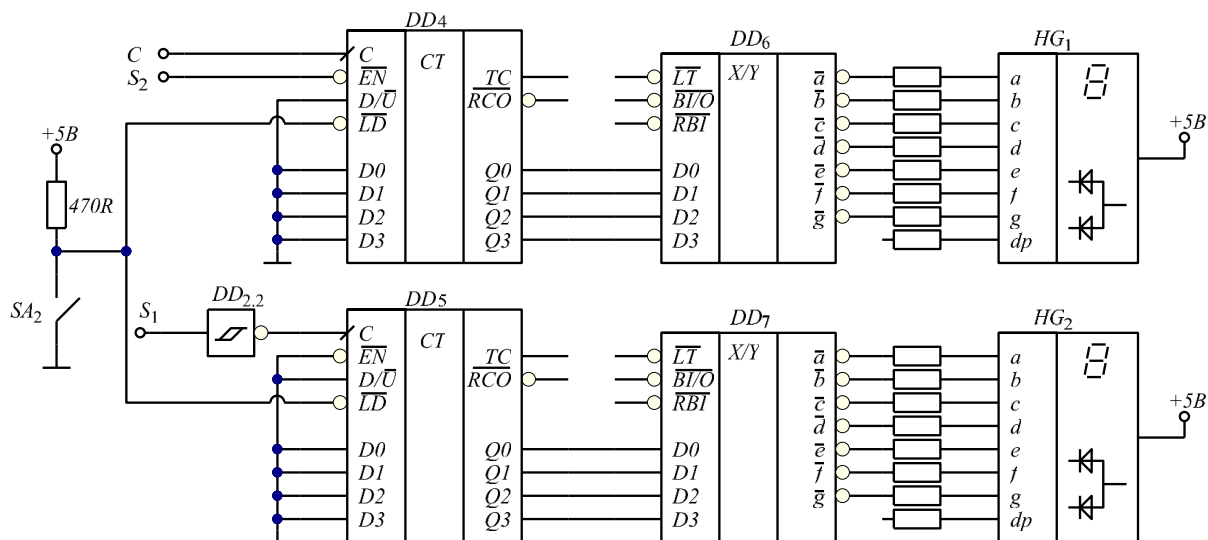


Рис. 75. Схема сравнения методов подсчета событий

Входы  $\overline{LT}$ ,  $\overline{BI/O}$  и  $\overline{RBI}$  микросхем 74LS47 служат для подавления ведущих нулей многоразрядных индикаторов и для их тестирования. Они не используются, и подключены к линии питания при помощи резисторов, уже установленных на плате стенда. Для компактности на Рис. 75 эти резисторы не показаны.

Полученная схема должна подсчитывать количество нажатий на кнопку  $SA_1$  двумя способами.

Первый способ реализован на микросхеме  $DD_5$ , и предельно прост. В счетчике выбран режим счета на увеличение ( $D/\overline{U} = 0$ ), счет разрешен всегда ( $\overline{EN} = 0$ ). Каждое нажатие кнопки  $SA_1$  (см. Рис. 74) приводит к тому, что в цепи  $S_1$  возникает срез сигнала, и на выходе инвертора  $DD_{2.2}$  возникает фронт, увеличивающий число, хранимое в счетчике, на единицу. Подсчитанное число отображается на индикаторе  $HG_2$ .

Второй способ подсчета числа нажатий кнопки – синхронный. Тактовый сигнал для счетчика  $DD_4$  возьмите с уже собранного мультивибратора (от цепи  $C$ ). Согласно принципу действия схемы, показанной на Рис. 74, работа этого счетчика ( $\overline{EN} = 0$ ) разрешена всего на один такт после каждого нажатия на кнопку  $SA_1$ , когда в цепи  $S_2$  возникает импульс лог. «0». Чтобы число, хранимое в счетчике, увеличилось на единицу, требуется, как и для предыдущей схемы, нажать и отпустить кнопку.

Кнопка  $SA_2$  выполняет функцию сброса счета для обеих частей схемы: по нажатию на  $SA_2$  на входы асинхронной загрузки  $\overline{LD}$  обоих счетчиков  $DD_5$ ,  $DD_6$  поступает активный уровень лог. «0», и счетчики устанавливаются на значение  $0000_2$ .

5. Нажмите кнопку  $SA_2$  и убедитесь, что оба индикатора показывают число «0». Нажимая на кнопку  $SA_1$ , наблюдайте увеличение чисел на выходах обоих счетчиков. Продолжайте нажимать на кнопку, пока число в счетчике  $DD_5$  не окажется больше, чем в  $DD_4$ . Дайте объяснение полученному результату. Обратите внимание, что при достижении числа 9 на индикаторах вместо числа отображаются символы псевдографики. Зарисуйте их и сравните с символами, приведенными в документации на преобразователь кодов 74LS47.

6. Отключите счетчик  $DD_5$  и связанные с ним компоненты, и соберите схему, ограничивающую максимальное число на выходе  $DD_4$  числом 9 (то есть, фактически, превращающую счетчик в двоично-десятичный с коэффициентом пересчета 10).

Принцип действия схемы заключается в том, что при счете на увеличение комбинация битов, где биты №3 и №1 установлены, впервые встречается при достижении числа 10 (... ,  $1000_2$ ,  $1001_2$ ,  $1010_2$ ). Когда на выходе счетчика возникает это число, на выходе ЛЭ  $DD_{3.2}$  формируется уровень лог. «0». Он записывается в D-триггер  $DD_{8.1}$  по ближайшему фронту тактового импульса и, поступая на асинхронный вход сброса, обнуляет счетчик. Таким образом, схема подсчитывает количество нажатий на кнопку  $SA_1$  в диапазоне  $0 \dots 9$ , при достижении числа 10 схема испытывает переполнение и устанавливается на ноль. Символы псевдографики на

индикатор  $HG_1$  зрительно не выводится, т.к. число 10 присутствует на выходе счетчика в течение всего одного периода тактового сигнала.

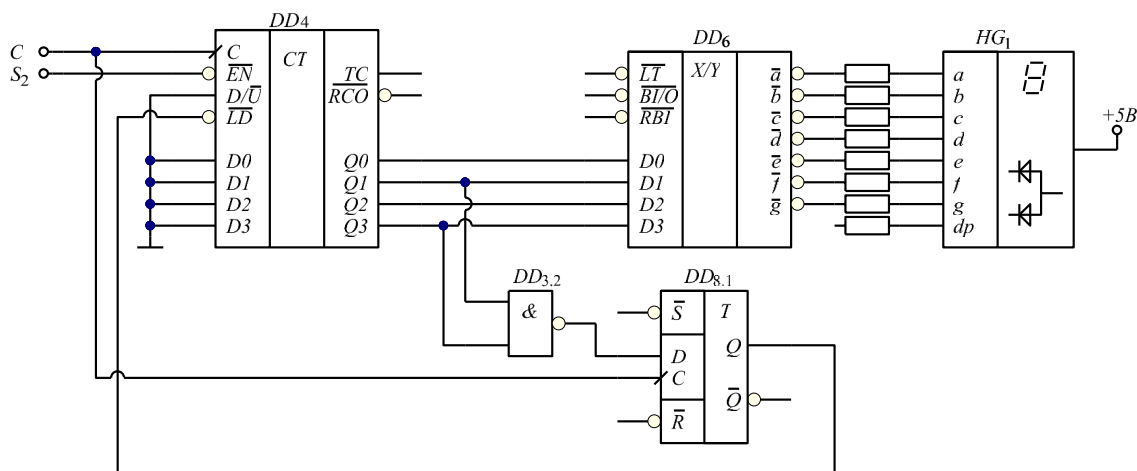


Рис. 76. Схема на счетчике 74HC191 с коэффициентом пересчета 10

Теоретически, можно было обойтись и без триггера, сбрасывая счетчик непосредственно от ЛЭ  $DD_{3.2}$ , который мгновенно вырабатывал бы лог. «0» при достижении числа 10. Однако этот способ для *синхронных* счетчиков с входом *асинхронной* загрузки крайне ненадежен. Т.к. биты на выходах счетчика переключаются практически одновременно (с разбросом момента переключения в пределах нескольких наносекунд), число 10 ( $1010_2$ ) фактически может кратковременно, в течение этих нескольких наносекунд, присутствовать на шине  $Q[3..0]$  в момент перехода от числа 7 ( $0111_2$ ) к числу 8 ( $1000_2$ ). Сбой произойдет в случае, если сигнал бита 3 поступит на входы ЛЭ  $DD_{3.2}$  чуть раньше сигнала бита 1 (считая с нуля). Добавленный в схему триггер  $DD_{8.1}$  синхронизирует сигнал с выхода  $DD_{3.2}$  с тактовыми импульсами схемы, фактически превращая асинхронный вход счетчика  $\overline{LD}$  микросхемы  $DD_4$  в аналог синхронного.

7. В соответствии с номером бригады измените максимальное число на выходе счетчика (и коэффициент пересчета, соответственно) на указанное в таблице значение:

Таблица 11. Индивидуальное задание на ограничение коэффициента пересчета

№ бригады	$Q[3..0]_{\max}$	К-т пересчета
1	3	4
2	4	5
3	5	6
4	6	7
5	8	9

№ бригады	$Q[3..0]_{\max}$	К-т пересчета
6	3	4
7	4	5
8	5	6
9	6	7
10	8	9

Убедившись в работоспособности схемы, продемонстрируйте ее преподавателю и внесите разработанную схему в протокол наблюдений. Схему, которая обрабатывает сигнал кнопки  $SA_1$  и блок индикации, вносить в протокол не нужно.

8. Используя уже готовый блок защиты от дребезга на двух триггерах  $DD_{1.1,1.2}$  и ЛЭ  $DD_{3.1}$ , соберите схему, имитирующую работу секундомера с двумя разрядами. Она построена на двух двоичных счетчиках, коэффициент пересчета каждого из которых ограничен числом 10. Счетчики стоят в каскаде, образуя схему, способную считать до 100 импульсов (в диапазоне от 0 до 99). Каскадирование осуществляется путем подключения сигнала переполнения младшего разряда (выход  $DD_{8.1}$ ) к входу разрешения счета старшего счетчика  $DD_5$ .

Базовая тактовая частота для всей схемы составляет порядка 2,6 кГц (номиналы резистора  $R_1$  и конденсатора  $C_1$  отличаются от ранее использованных). Эта частота является звуковой, так что она же используется и для выработки звукового сигнала каждые 10 секунд.

Счет каскада из двух счетчиков разрешается описанной выше схемой ( $DD_{1.1,1.2,3.1}$ ) один раз за период работы низкочастотного мультивибратора, построенного на ЛЭ  $DD_{2.2}$  (рабочая частота порядка 1 Гц). Как и кнопка в первой исследованной схеме, данный генератор работает

Для формирования сигнала разрешения работы зуммера служит ЛЭ  $DD_{3.4}$ . На его выходе действует уровень лог. «0» в те интервалы времени, когда счетчик  $DD_4$  хранит значение 9 (1001<sub>2</sub>). Этот уровень лог. «0» поступает на вход ЛЭ  $DD_{10.1}$  и разрешает прохождение прямоугольных импульсов на выход ЛЭ, куда подключен пьезокерамический зуммер  $BZ_1$ .

10. Подключите канал №1 осциллографа к тактовому сигналу  $C$ , канал 2 – к зуммеру, канал 3 к выходу  $DD_{8,1}$ , канал 4 – к выходу  $Q_1 DD_4$ . Настройте синхронизацию по каналу 3, режим Normal. Зарисуйте или сфотографируйте осциллограмму, подобрав смещение и масштаб по оси времени так, чтобы в экран помещалось 5-10 периодов тактового сигнала и импульс сброса счетчика  $DD_4$ . В отчете дайте объяснение полученной тактовой диаграмме.

## 6. ЦИФРОВОЙ ШИРОТНО-ИМПУЛЬСНЫЙ МОДУЛЯТОР

### 6.1. Краткое описание лабораторной работы

1. В лабораторной работе исследуется схема 4-разрядного широтно-импульсного модулятора на основе счетчика 74НС191 и компаратора 74НС85.
2. В качестве нагрузки для широтно-импульсного модулятора выступает индикаторный светодиод.
3. Для исследования обратного преобразования в качестве нагрузки на выход модулятора подключается RC-фильтр.
4. Коэффициент заполнения на выходе ШИМ-модулятора изменяется при помощи кнопки и автоматически, под управлением асинхронно работающего генератора прямоугольных импульсов.

### 6.2. Основные теоретические сведения

Широтно-импульсный модулятор (англ. PWM, от «Pulse-width Modulator») – схема, преобразующая некоторый входной сигнал в прямоугольные импульсы (цифровой сигнал), следующие с фиксированной частотой. Чем больше значение входного сигнала, тем больше коэффициент заполнения (ширина выходных импульсов). Коэффициент заполнения пропорционален входному сигналу, и может быть рассчитан по линейному закону.

Аналоговый ШИМ-модулятор был исследован в курсе лабораторных работ «Аналоговая Схемотехника» (см. [АнСХТ]). Там в качестве входного сигнала выступало «аналоговое» напряжение, а результатом работы являлся «цифровой» сигнал. В цифровой схемотехнике также существуют схемы широтно-импульсной модуляции, однако входным сигналом для них является уже не непрерывно меняющееся напряжение, а дискретно меняющееся целое число некоторой разрядности.

Сама идея, заложенная в схему широтно-импульсного модулятора, при переходе от напряжений в аналоговых схемах к числам в цифровых устройствах, остается неизменной и весьма простой. Входное число сравнивается с опорным числом, которое линейно нарастает от нуля до некоторого максимального значения в пределах интервала времени, равного периоду выходного сигнала схемы. Источником такого линейно возрастающего числа является счетчик. Он может быть как суммирующим, так и вычитающим. В этом случае период выходного сигнала  $T_{PWM}$  будет равняться величине  $T_C \cdot 2^n$ , где  $T_C = \frac{1}{f_C}$  – период следования тактовых импульсов счетчика,  $n$  – разрядность счетчика и модулируемого числа.

В принципе, счетчик может быть даже реверсируемым, т.е. считать от нуля до  $(2^n-1)$ , а затем обратно до нуля. В этом случае период выходного ШИМ-сигнала удваивается.

Число с опорного счетчика, назовем его  $A$ , сравнивается с входным числом  $B$  такой же разрядности при помощи цифрового компаратора – микросхемы, сравнивающей два числа. На выходе компаратора присутствует один из трех активных логических уровней, в зависимости от того, как соотносятся числа  $A$  и  $B$ :  $A < B$ ,  $A = B$ ,  $A > B$ . Все три выхода можно задействовать для формирования итогового ШИМ-сигнала (на блок-схеме обозначен как PWM) при помощи некоторого логического элемента, обозначенного на блок-схеме как ЛЭ (см. Рис. 78).

В зависимости от задействованных выходов компаратора, законы, по которым ШИМ-модулятор преобразует входное число в прямоугольные импульсы с переменным коэффициентом заполнения, различаются. Зависимость коэффициента заполнения  $D$  выходного сигнала (отношения длительности импульсов к периоду) от числа  $B$  во всех случаях подчиняется линейному закону вида  $D = p \cdot B + q$ , однако коэффициенты в формуле зависят от конкретной реализации схемы.

Направление счета счетчика определяет фазовое соотношение выходных импульсов и интервала работы опорного счетчика, но не влияет на коэффициент заполнения получаемого сигнала.

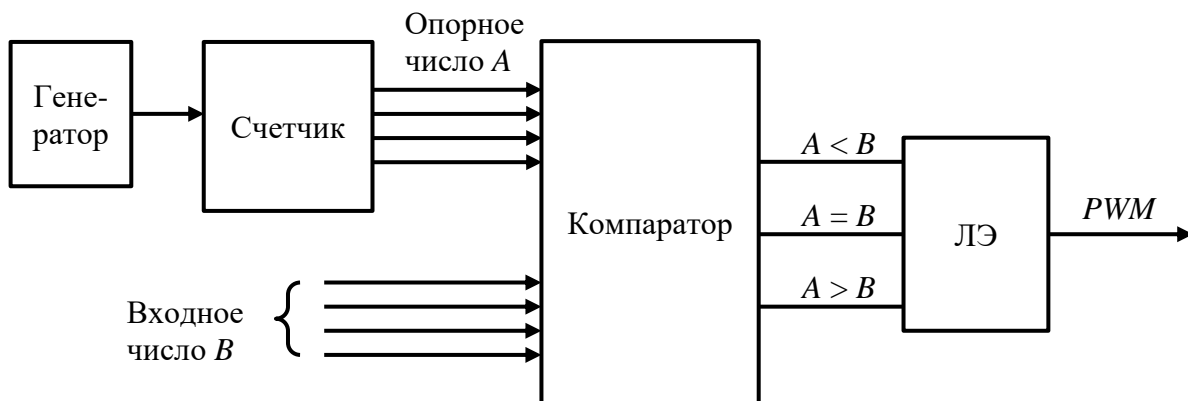


Рис. 78. Блок-схема цифрового ШИМ-генератора

Рассмотрим случай, когда опорный счетчик имеет разрядность  $n$  и является суммирующим. Пусть, для простоты, его коэффициент пересчета не ограничен искусственно, а сам счетчик – двоичный. Тогда число на его выходе меняется от 0 до  $2^n - 1$ , затем обнуляется (см. Рис. 79).

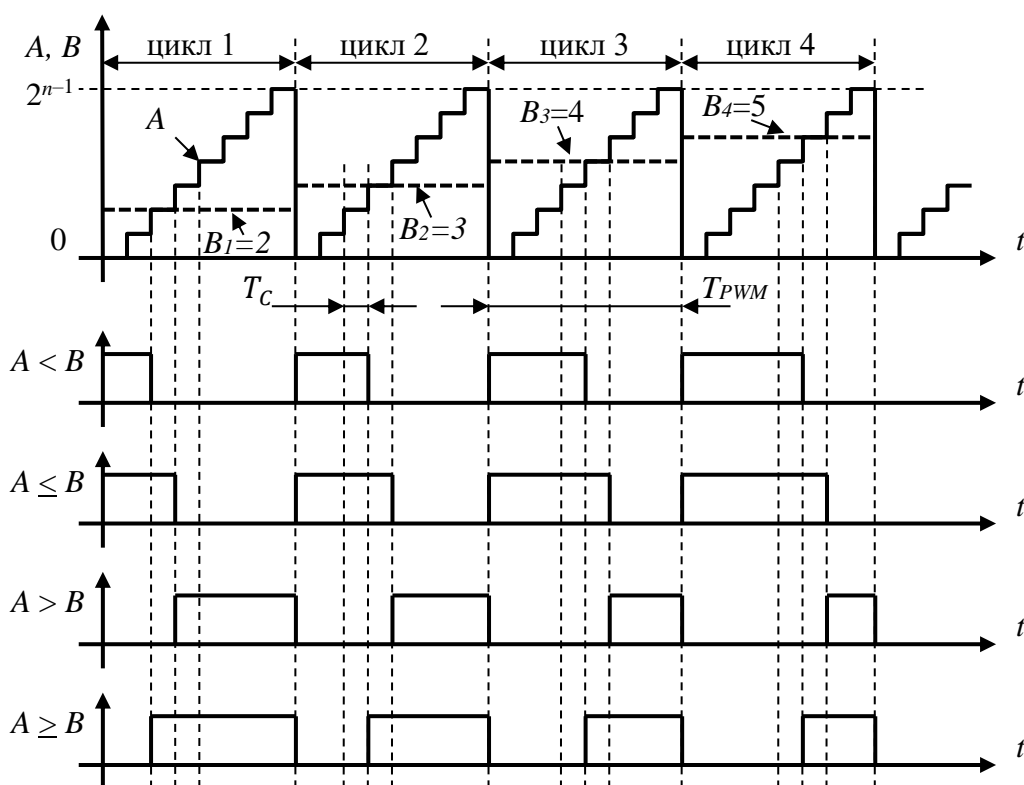


Рис. 79. Временные диаграммы сигналов схемы цифрового ШИМ-генератора на суммирующем счетчике

На временной диаграмме показано 4 цикла работы схемы. От цикла к циклу число  $B$  меняется. Пусть, для определенности,  $B_4 > B_3 > B_2 > B_1$ . В пределах цикла число  $A$  пробегает все значения от 0 до  $2^n - 1$ . Четыре нижних временных диаграммы показывают соотношения чисел  $A$  и  $B$  в виде цифрового сигнала.

Фактически, в качестве сигналов  $A > B$ ,  $A < B$  можно использовать одноименные выходы цифрового компаратора. Тогда блок «ЛЭ» на Рис. 78 попросту отсутствует. Для формирования сигналов  $A \geq B$ ,  $A \leq B$  понадобится задействовать два выхода компаратора. Первый выход – это выход компаратора  $A < B$  или  $A > B$ , а второй – выход компаратора  $A = B$ . Эти два выхода необходимо подключить к ЛЭ типа ИЛИ.



Если выходным сигналом *PWM* схемы ШИМ-модулятора является сигнал  $A < B$ , то уровень лог. «1» удерживается на ее выходе с начала цикла до момента, когда выполняется условие  $A = B$ . Для того чтобы определить число тактов генератора, в течение которого выполняется это условие, очевидно, нужно воспользоваться элементарным соотношением  $x = B$ . Тогда для цикла №1 (см. Рис. 79), где  $B = 2$ , длительность удержания лог. «1» на выходе  $A < B$  составляет  $2 \cdot T_C$ , для цикла №2 –  $3 \cdot T_C$  и т.д. При этом подача на схему числа  $B = 0$  приведет к тому, что логических единиц на выходе схемы возникать вообще не будет, а если  $B = 2^n - 1$ , в цикле работы опорного счетчика будет присутствовать один период с лог. «0» на выходе. Коэффициент заполнения, равный отношению длительности импульса к периоду выходного сигнала, можно будет определить, соответственно, по формуле

$$(17) \quad D_{A < B} = \frac{B}{2^n}, \text{ при этом } D_{A < B, \min} = 0, D_{A < B, \max} = \frac{2^n - 1}{2^n}.$$

Если выход схемы *PWM* формируется сигналом  $A \leq B$ , то длительность удержания лог. «1» увеличивается на единицу, т.к. при выполнении условия  $A = B$  на выходе все еще действует лог. «1». Соответственно, коэффициент заполнения оказывается равен

$$(18) \quad D_{A \leq B} = \frac{B+1}{2^n}, \text{ при этом } D_{A \leq B, \min} = \frac{1}{2^n}, D_{A \leq B, \max} = \frac{2^n}{2^n} = 1,$$

т.е. ШИМ-генератор способен выдать постоянный уровень лог. «1», но не способен выдать постоянный уровень лог. «0».

Для случая, когда используется сигнал  $A > B$ , зависимость длительности импульса и коэффициента заполнения выходного сигнала от  $B$  – обратная: чем больше  $B$ , тем меньше коэффициент заполнения. Нетрудно догадаться, что с учетом (18) для данного случая справедливо соотношение

$$(19) \quad D_{A > B} = 1 - \frac{B+1}{2^n}, D_{A > B, \min} = 1 - \frac{2^n}{2^n} = 0, D_{A > B, \max} = 1 - \frac{1}{2^n} = \frac{2^n - 1}{2^n}.$$

Точно также случай, когда  $PWM = A \geq B$ , описывается выражением

$$(20) \quad D_{A \geq B} = 1 - \frac{B}{2^n}, D_{A \geq B, \min} = 1 - \frac{2^n - 1}{2^n} = \frac{1}{2^n}, D_{A \geq B, \max} = 1.$$

Случай, когда опорный счетчик реверсируется в конце каждого цикла, используется в так называемых многоканальных центрированных ШИМ-генераторах. Они применяются при управлении, например, трехфазными электродвигателями, когда для каждой из фаз двигателя создается ШИМ-сигнал, коэффициент заполнения которого пропорционален значению синуса общего аргумента со сдвигами фаз в  $0, 120^\circ$  и  $240^\circ$ , соответственно. При этом для всех трех каналов используется один опорный счетчик, подключенный к трем компараторам. Компараторы для каждой из фаз, естественно, свои. При работе трехфазного электродвигателя со схемой включения обмоток «треугольник» ток течет между тремя выходами ШИМ-генератора, и не течет через цепь *GND*. То, что выходные импульсы ШИМ-генератора выровнены по центру, позволяет оптимизировать импульсную нагрузку на источник питания, так как сигналы на выходах генератора меняют свое состояние всегда в разные моменты времени. Принцип действия трехканального центрированного ШИМ-генератора на реверсируемых счетчиках иллюстрируется Рис. 80.

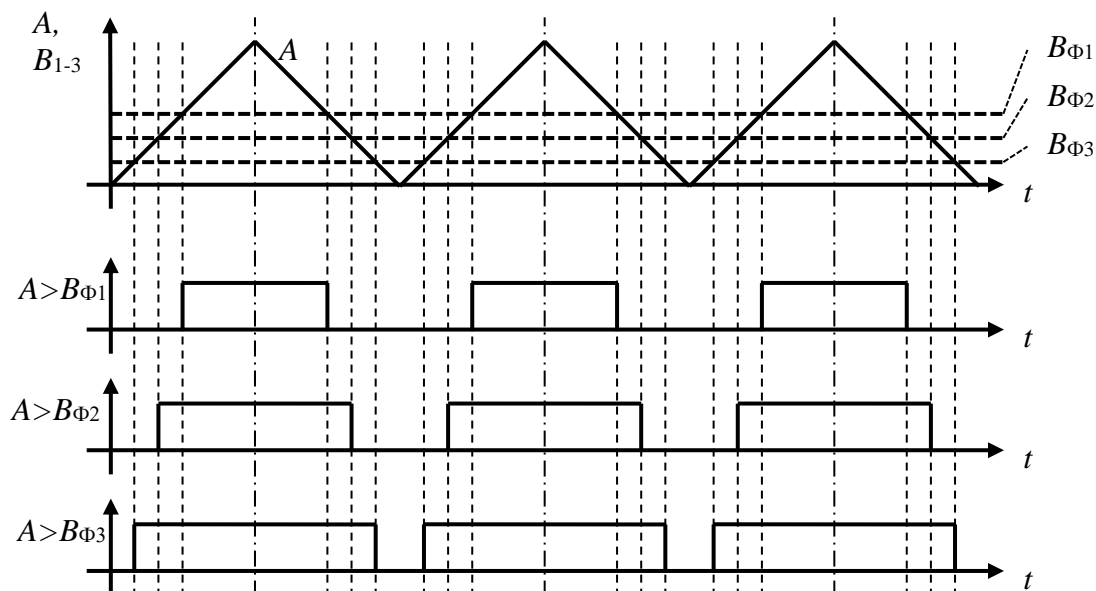


Рис. 80. К объяснению принципа действия трехканального центрированного ШИМ-генератора

В настоящее время цифровые ШИМ генераторы применяются для управления нагрузками практически любого типа – от осветительных приборов до электродвигателей. Главным их достоинством является высокий КПД, в ряде случаев превосходящий 90% .

Если нагрузкой является осветительный прибор, выход ШИМ-генератора буферизуется мощным транзисторным ключом, который непосредственно включает и выключает осветительный прибор – лампу, кластер светодиодов и т.д. Фактически, осветительный прибор работает не с плавно изменяемой мощностью, а в импульсном режиме. Однако, если *несущая частота ШИМ*, т.е. частота следования импульсов в цепи *PWM*, составляет хотя бы сотни Гц, она уже неразличима глазом и работа осветительного прибора воспринимается как постоянная с плавно изменяемой яркостью. Именно так регулируется яркость подсветки современных ЖК-дисплеев.

В случаях, когда речь идет об управлении электродвигателями, на выходы ШИМ-генераторов устанавливаются полумосты на мощных полевых транзисторах под управлением специальных микросхем-драйверов, а после них – LC-фильтры. Потери в правильно рассчитанных фильтрах малы (и индуктивность, и емкость рассеивают активную мощность исключительно ввиду их неидеальности, но не в силу своей природы, как резистор) и КПД остается весьма высоким. Если частота среза фильтра существенно ниже несущей частоты ШИМ, на выходе фильтра получается напряжение, равное коэффициенту заполнения  $D$  умноженному на напряжение питания полумоста на транзисторах. Пульсация в выходном напряжении пропорциональна коэффициенту передачи фильтра на несущей частоте ШИМ и тем ниже, чем больше постоянная времени фильтра. Обычно пульсация не превышает нескольких процентов от напряжения питания выходных каскадов силового ШИМ-генератора, также часто называемого *инвертором*. Подробно данные вопросы изучаются в специальном разделе схемотехники, который обычно называют «импульсной техникой».

В схемах обработки данных и сигналов ШИМ-генератор можно использовать в качестве простого *цифроаналогового преобразователя (ЦАП)*, формирующего на своем выходе напряжение, пропорциональное некоторому числу ( $B$ ). Достоинством такого ЦАП является чрезвычайная простота: он строится на стандартных цифровых микросхемах или цифровых блоках, присутствующих в микроконтроллерах, программируемых логических интегральных схемах и т.д. Для того чтобы превратить ШИМ-сигнал в напряжение, требуется всего-навсего добавить на выход схемы RC-фильтр. Недостатком такого ЦАП является большое количество

шума (пульсаций) на выходе, либо чрезвычайно низкое быстродействие, если постоянная времени выходного RC-фильтра излишне велика.

Рассмотрим вопрос пульсаций подробнее. Представим, что в данный момент на выходе ШИМ-генератора присутствует цифровой сигнал с уровнями, характерными для КМОП-микросхем (лог. «0» = 0 В, лог. «1» =  $U_{\Pi}$ ) с коэффициентом заполнения 50% (меандр). Его можно представить как сумму двух напряжений – постоянного напряжения величиной  $U_{\Pi} / 2$  и прямоугольных импульсов с такой же амплитудой  $U_{\Pi} / 2$  (см. Рис. 81, сигнал *PWM*).

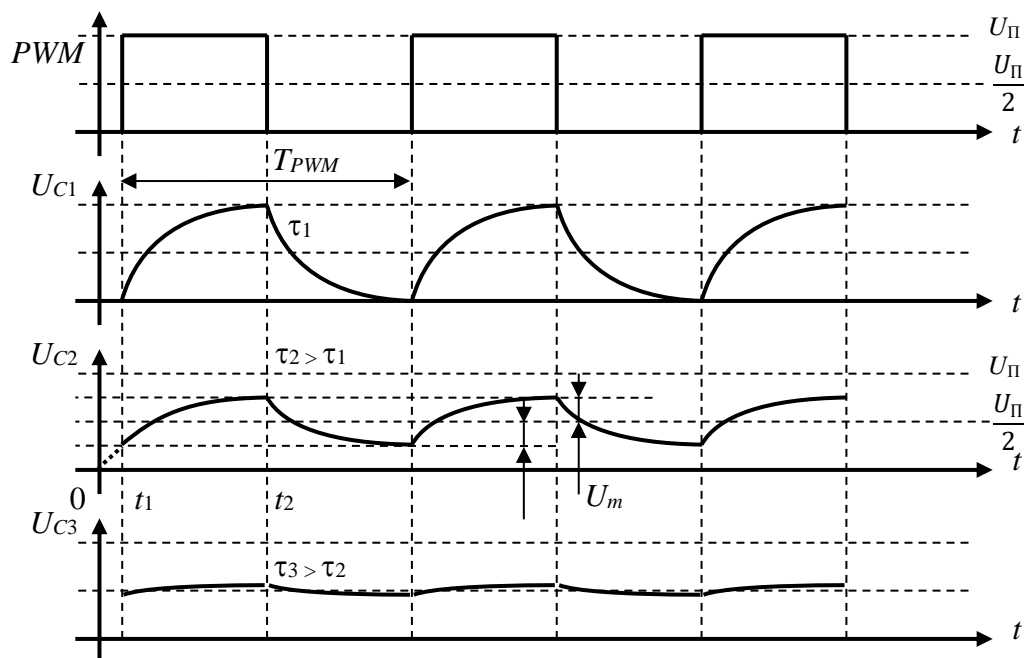


Рис. 81. К анализу пульсаций на выходе RC-фильтра

Очевидно, что в этом случае на конденсаторе в RC-фильтре сформируется напряжение, которое также можно представить в виде суммы двух сигналов: постоянного напряжения  $\frac{U_{\Pi}}{2}$  и пилообразного напряжения, каждый из полупериодов которого описывается экспоненциальным законом.

Если постоянная времени  $\tau_1$  мала по сравнению с периодом следования импульсов  $T_{PWM}$ , то RC-фильтр лишь сгладит фронты ШИМ-сигнала, и амплитуда пульсаций будет практически равна  $\frac{U_{\Pi}}{2}$ , а ее двойной размах – напряжению питания (см. диаграмму напряжения  $U_{C1}$  на Рис. 81). Если достаточно велика ( $\tau_3$ ) – напряжение на конденсаторе практически не будет отличаться от постоянного (см. диаграмму  $U_{C3}$ ).

Для заряда конденсатора через резистор  $R$  с нулевого начального напряжения до напряжения  $U_{\Pi}$  экспоненциальный закон изменения напряжения во времени имеет вид  $U_C(t) = U_{\Pi} (1 - e^{-t/\tau})$ , где  $\tau = RC$ . Вывод этого соотношения элементарен и приведен в [АнСХТ].

Чтобы вывести соотношение, которое позволит оценить амплитуду пульсаций на выходе интегрирующей RC-цепи при обратном ШИМ преобразовании, используем это соотношение для расчета некоторого времени  $t_1$ , необходимого, чтобы зарядить конденсатор с нулевого начального напряжения до уровня  $U_{\Pi}/2 - U_m$  (см. Рис. 81, временную диаграмму напряжения  $U_{C2}$ ):

$$\frac{U_{\Pi}}{2} - U_m = U_{\Pi} (1 - e^{-t_1/\tau}), 1 - e^{-t_1/\tau} = 0.5 - \frac{U_m}{U_{\Pi}}.$$

Обозначим  $x = \frac{U_m}{U_{\Pi}}$ , тогда:

$$(21) \quad e^{-t_1/\tau} = 0.5 + x.$$

Представим, что пройдя момент времени  $t_1$ , конденсатор продолжил заряд. С момента времени  $t_1$  форма напряжения на конденсаторе уже будет полностью совпадать с таковой для случая устоявшегося режима работы конденсатора в выходном RC-фильтре ШИМ-генератора. Рассуждая совершенно аналогично, введем некоторое время  $t_2$ , которое потребуется для заряда конденсатора с нуля до уровня напряжения  $U_{\Pi}/2 + U_m$ , которое с учетом введенного обозначения для  $x$  составит:

$$(22) \quad e^{-t_2/\tau} = 0.5 - x.$$

Разделим выражение (22) на выражение (21):

$$(23) \quad \frac{0.5-x}{0.5+x} = e^{-(t_2-t_1)/\tau}$$

Оба времени  $t_1$  и  $t_2$  обозначены на Рис. 81. Как нетрудно заметить, их разница при коэффициенте заполнения на выходе ШИМ-генератора в 50% равна половине периода несущей частоты  $\frac{T_{PWM}}{2}$ . С учетом этого (23) можно переписать как:

$$\frac{0.5-x}{0.5+x} = e^{-T_{PWM}/2 \cdot \tau}$$

Далее, выразим величину  $x$  из полученного выражения:

$$\begin{aligned} 0.5 - x &= 0.5 \cdot e^{-T_{PWM}/2 \cdot \tau} + x \cdot e^{-T_{PWM}/2 \cdot \tau}, \\ 0.5 \left(1 - e^{-T_{PWM}/2 \cdot \tau}\right) &= x \left(1 + e^{-T_{PWM}/2 \cdot \tau}\right). \end{aligned}$$

Окончательно, с учетом введенного обозначения  $x$ , получим:

$$(24) \quad U_m = 0.5 \cdot U_{\Pi} \left( \frac{1 - e^{-T_{PWM}/2 \cdot \tau}}{1 + e^{-T_{PWM}/2 \cdot \tau}} \right).$$

В силовой электронике приемлемой обычно считается пульсация, не превышающая 100-200 мВ на фоне нескольких В питания. Если ШИМ-генератор используется как ЦАП, напряжение с которого поступает на какие-то аналоговые цепи, необходимо оценивать максимально допустимую амплитуду пульсаций в каждом конкретном случае.

В точных измерительных приборах такой способ цифроаналогового преобразования применять не рекомендуется ввиду того, что его цепи в любом случае генерируют больше шума, чем хорошо известные ЦАП с резисторами веса или матрицей R-2R.

Очевидно, что разрядность ЦАП, построенного на ШИМ-генераторе, равна разрядности опорного счетчика  $n$ : число градаций постоянного напряжения на выходе схемы равняется  $2^n$  включая ноль. При этом если тактовая частота всей схемы фиксирована, увеличение разрядности на один бит ведет к снижению несущей частоты ШИМ вдвое, а амплитуда пульсаций, при неизменной характеристике выходного фильтра, возрастает. На практике ШИМ-генераторы, разрядность которых превышает 10-12 бит, применяются редко.

В лабораторной работе исследуется схема 4-разрядного ШИМ-генератора, построенного на уже изученном ранее счетчике 74НС191 и 4-разрядном цифровом компараторе 74НС85. Данный компаратор поддерживает каскадирование, т.е. увеличение разрядности с получением схемы сравнения чисел, состоящих из 8, 12, 16 бит и более. УГО компаратора показано на Рис. 82.

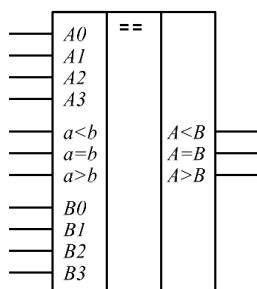


Рис. 82. УГО компаратора 74НС85

Операнды сравнения разрядностью 4 бита подключаются к входным группам выводов  $A_0$ – $A_3$  и  $B_0$ – $B_3$ . На одном из выходов  $A < B$ ,  $A = B$ ,  $A > B$  присутствует уровень лог. «1» в зависимости от того, как соотносятся операнды, подключенные к данному компаратору, и от состояния входов  $a < b$ ,  $a = b$ ,  $a > b$ , которые предназначены для каскадирования.

Логика компаратора работает исходя из того, что данный компаратор является *старшим* в каскаде (т.е. сравнивает старшие полубайты многоразрядных операндов). Если подключенные к данному компаратору биты формируют неравные числа ( $A[3..0] \neq B[3..0]$ ), это непосредственно определяет состояния выходов данной микросхемы. Если же подключенные к данному компаратору части операндов равны, тогда состояние выходов данной микросхемы определится состоянием входов для каскадирования  $a < b$ ,  $a = b$ ,  $a > b$  (если равны старшие биты многоразрядных чисел, тогда то, соотносятся числа, определяется соотношением младших битов).

Таким образом, для каскадирования компараторов 74НС85 с получением схемы сравнения, скажем, 8-разрядных чисел  $M$  и  $N$ , следует использовать простой подход:

- Выходы  $A < B$ ,  $A = B$ ,  $A > B$  микросхемы  $DD_2$ , к которой подключены старшие биты сравниваемых чисел  $M[7..4]$  и  $N[7..4]$ , являются выходами всей схемы.
- Выходы  $A < B$ ,  $A = B$ ,  $A > B$  микросхемы  $DD_1$ , к которой подключены младшие биты сравниваемых чисел  $M[3..0]$  и  $N[3..0]$ , подключены к входам  $a < b$ ,  $a = b$ ,  $a > b$  «старшей» микросхемы  $DD_2$ .
- Вход «младшей» микросхемы  $DD_1$   $a = b$  подключен к  $U_{п}$ . Вход каскадирования  $a = b$  является приоритетным по отношению к двум другим входам  $a < b$  и  $a > b$ , так что их можно подключать и к «земле», и к цепи питания. Однако логика работы схемы подсказывает, что их уместнее подключить к  $GND$ .

Каскад из двух компараторов для сравнения байтов показан на Рис. 83. Схема может сравнивать как двоичные, так и двоично-десятичные числа и позволяет неограниченно увеличивать разрядность сравниваемых чисел за счет увеличения числа компараторов.

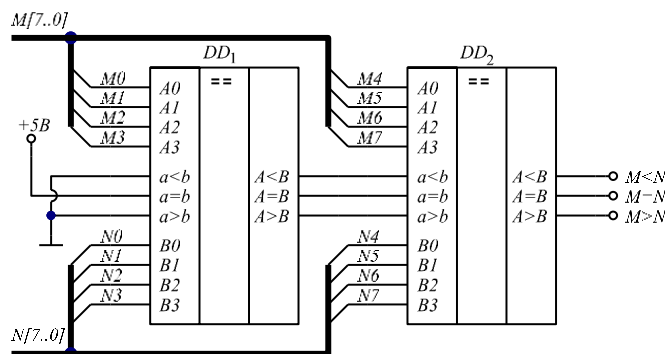


Рис. 83. Каскадирования компараторов 74НС85

Если требуется сравнить числа, разрядность которых не кратна четырем, неиспользуемые входы компараторов можно подключить к земле или  $U_{п}$  (главное, чтобы для каждой пары неиспользуемых битов с одинаковыми индексами  $M_i$  и  $N_i$  входы были подключены к одному и тому же логическому уровню).

### 6.3. Задание на проведение исследований

1. В работе исследуется схема регулировки яркости свечения светодиода на принципе широтно-импульсной модуляции (см. Рис. 84). Неподключенные ни к чему входы микросхем в плате подтянуты к уровню лог. «1» (к цепи питания) резисторами, которые на схемах для компактности не показаны.

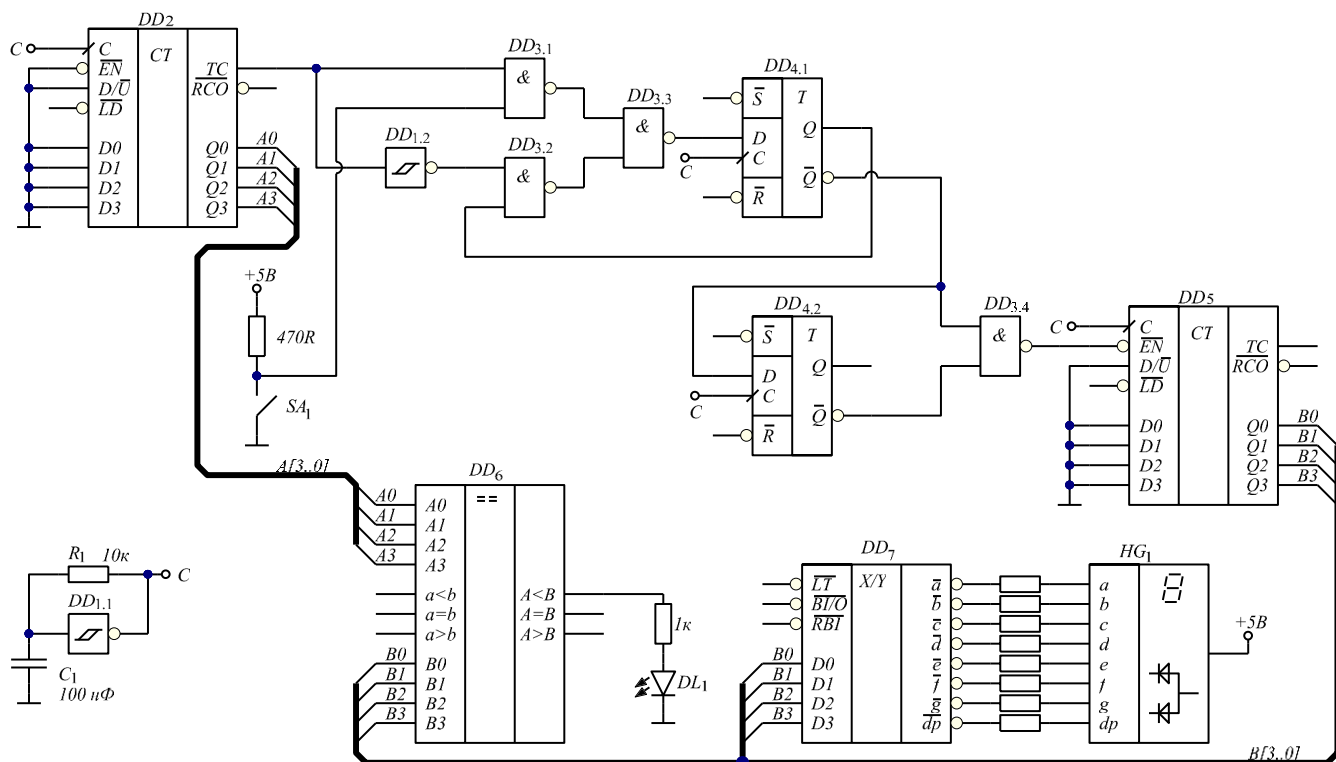


Рис. 84. Цифровой 4-разрядный широтно-импульсный модулятор

Тактовые импульсы для всех последовательностных узлов схемы (цепь C) вырабатывает мультивибратор, построенный на инвертирующем триггере Шмитта  $DD_{1.1}$  с обвязкой. Согласно номиналам компонентов времязадающей цепи, в случае, когда используется микросхема НС-серии, его рабочая частота составляет порядка 1.25 кГц.

Эти тактовые импульсы поступают на счетчик  $DD_2$ , настроенный на счет в сторону увеличения. Счет разрешен постоянно, так что счетчик будет переполняться с частотой в 16 раз меньшей тактовой частоты, т.е. приблизительно с частотой в 80 Гц. Таким образом, каждый 16-й такт на выходе счетчика TC («Terminal Count») присутствует импульс лог. «1» длительностью в один такт.

Этот импульс управляет схемой триггера-защелки с разрешением, построенной на микросхемах  $DD_{1.2}$ ,  $DD_{3.1-3.3}$ ,  $DD_{4.1}$ . Если на выходе TC  $DD_2$  действует уровень лог. «0», то на выходе  $DD_{3.1}$  удерживается лог. «1», а на выходе  $DD_{3.2}$  уровень равен  $\bar{Q}$ , где  $Q$  – бит, хранимый в триггере  $DD_{4.1}$ . Соответственно, на выходе  $DD_{3.3}$  логический уровень оказывается равным  $Q$ , и на каждом такте генератора триггер  $DD_{4.1}$  перезаписывает бит, который и так в нем хранится. Работа D-триггера с разрешением запрещена. Если же на выходе TC  $DD_2$  присутствует лог. «1», ситуация обратная. На выходе  $DD_{3.2}$  наблюдается лог. «1», на выходе  $DD_{3.1}$  логический уровень определяется состоянием кнопки  $SA_1$ . На каждом такте триггер  $DD_{4.1}$  запоминает единицу, если кнопка не нажата, и ноль, если нажата. Работа схемы разрешена. Поскольку уровень лог. «1» присутствует на выходе TC  $DD_2$  всего в течение одного такта раз в 16 тактов, полученная схема реализует защиту от дребезга кнопки  $SA_1$  с частотой в 16 раз меньшей, чем общая тактовая частота схемы. Реализовать защиту от дребезга, просто тактируя D-триггер с частотой, превышающей 1 кГц, не удалось бы ввиду характерных длительностей эффекта дребезга исправной кнопки.

Когда кнопка нажата, на выходе  $\overline{Q}$   $DD_{4.1}$  действует уровень лог. «1». После нажатия кнопки этот бит оказывается занесенным в триггер  $DD_{4.2}$  на один такт позже, чем в триггер  $DD_{4.1}$ . С учетом таблицы истинности ЛЭ  $DD_{3.4}$  это означает, что всякое событие нажатия кнопки приводит к тому, что на вход  $EN$   $DD_5$  поступает сигнал разрешения счета (лог. «0») на один такт. Иными словами, каждое нажатие кнопки увеличивает число в шине  $B[3..0]$  на единицу вне зависимости от того, сколько времени удерживалась нажатой кнопка. Когда число  $B[3..0]$  равно 15, нажатие кнопки обнуляет его.

Число на выходе первого счетчика  $DD_2$  (шина  $A[3..0]$ ) изменяется постоянно, пробегая диапазон 0..15 приблизительно за 12.5 мс. Его временная диаграмма имеет «пилообразный» вид. Это число является опорным сигналом для широтно-импульсного модулятора.

Модулируемая величина – число  $B[3..0]$ , изменяемое при помощи кнопки. Если  $B$  мало, условие  $A < B$  выполняется лишь в начале цикла работы опорного счетчика, и часть времени (доля интервала в 12.5 мс), когда на выходе компаратора  $DD_6$  присутствует лог. «1», мала. По мере роста  $B$  она увеличивается. Если  $B = 0$ , условие не выполняется никогда, и светодиод  $DL_1$  выключен. Если  $B = 15$ , условие выполняется в течение 15-ти тактов из 16-ти, и светодиод включен почти постоянно. Т.к. частота мигания светодиода слишком высока, чтобы быть различимой глазом, субъективно схема работает как ступенчатый регулятор яркости свечения светодиода с 16-ю градациями, управляемый одной кнопкой в циклическом режиме.

Уровень яркости светодиода отображается на семисегментном индикаторе  $HG_1$ , работающем под управлением дешифратора  $DD_7$ .

Обратите внимание, что токоограничительные резисторы для светодиодов уже установлены в плате стенда, подключение индикатора к дешифратору уже выполнено.

2. Исследуйте схему обработки сигнала с кнопки  $SA_1$ . Для этого подключите канал №1 осциллографа к тактовому сигналу  $C$ , канал №2 – к цепи кнопки  $SA_1$ , канал №3 – к выходу ТС счетчика  $DD_2$ , канал №4 – к выходу  $DD_{3.4}$ . Настройте синхронизацию по каналу №4, режим – «Normal». Подберите такой масштаб по оси времени, чтобы в кадр попадало 30-40 тактовых импульсов цепи  $C$ . Нажимая кнопку  $SA_1$ , зарегистрируйте сигналы схемы в момент обработки нажатия кнопки. Сфотографируйте или зарисуйте осциллограмму.

3. При составлении отчета дополните полученную тактовую диаграмму сигналами, действующими на выходах  $\overline{Q}$   $DD_{4.1}$  и  $DD_{4.2}$ , исходя из понимания принципа действия схемы. Дайте заключение о соответствии полученных результатов ожидаемым.

4. Изменяя число  $B$ , оцените, как субъективно изменяется яркость свечения светодиода  $DL_1$ . При помощи кнопки  $SA_1$  установите в счетчике  $DD_5$  **число  $B$ , равное номеру бригады плюс два**. Бригада №1 устанавливает, таким образом, число 3, бригада №10 – число 12.

5. Подключите канал №1 осциллографа к тактовому сигналу  $C$ , канал №2 – к выходу переполнения счетчика  $DD_2$  (ТС), канал №3 – к выходу компаратора « $A < B$ »  $DD_6$ , настройте синхронизацию в режиме «Auto» по каналу №2. Подберите масштаб по оси времени так, чтобы в кадре оказалось несколько периодов прямоугольных импульсов на каналах 2 и 3. Сфотографируйте или зарисуйте полученную осциллограмму. Измерьте период сигнала на канале №2 (ТС), длительность импульса и паузы на выходе ШИМ-модулятора. Сравните полученный коэффициент заполнения с рассчитанным из теоретических соображений.

6. Подключите на выход схемы, параллельно светодиоду, ФНЧ 1-го порядка (RC-цепь), состоящую из резистора 100 кОм и конденсатора 1 мкФ (см. Рис. 85).

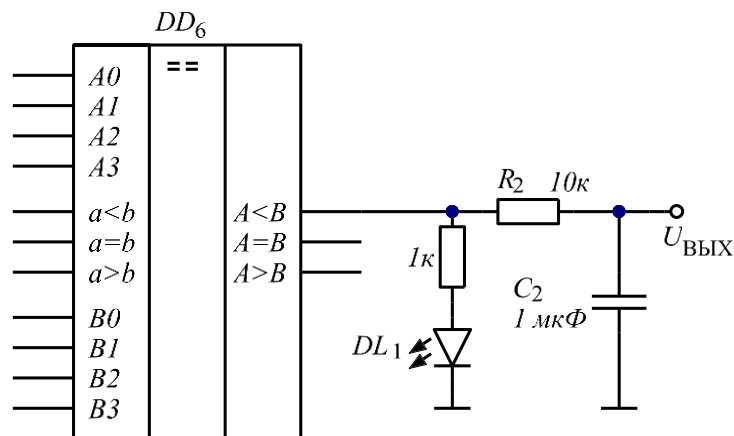


Рис. 85. Схема для исследования обратного преобразования ШИМ-сигнала

Измеряя выходное напряжение схемы  $U_{\text{ВЫХ}}$  при помощи осциллографа (масштаб по оси  $Y$  – 0.5-1 В в клетке), снимите зависимость  $U_{\text{ВЫХ}}$  от числа, загруженного в счетчик  $DD_5$ . Для регистрации числа можно использовать индикатор  $HG_1$ , при этом зная, какие символы псевдографики соответствуют числам 10...15, или просто считать нажатия на кнопку  $SA_1$ .

7. Установите в счетчике  $DD_5$  число, равное половине возможного диапазона (7). Подключите канал №1 осциллографа к выходу  $DD_6$ , канал №2 – к цепи  $U_{\text{ВЫХ}}$ . Для канала №2 выберите режим «AC coupling». Установите такой масштаб по оси  $Y$  для канала №2 и по оси  $X$ , чтобы пилообразные пульсации напряжения занимали несколько клеток на экране. Синхронизируйтесь по каналу №1. Сфотографируйте или зарисуйте полученную осциллограмму. Измерьте средствами осциллографа двойной размах (peak-to-peak voltage) пульсаций и сравните полученный результат с расчетной постоянной времени цепи  $R_2C_2$ .

8. Соберите второй генератор на инвертирующем триггере Шмитта на небольшую частоту  $F$  порядка 1 Гц (см. Рис. 86).

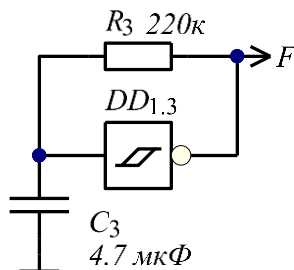


Рис. 86.

Отключите кнопку  $SA_1$  от схемы и вместо нее подключите ко входу  $DD_{3.1}$  выходной сигнал низкочастотного мультивибратора.

9. Пронаблюдайте и продемонстрируйте преподавателю эффект автоматического плавного изменения яркости свечения светодиода  $DL_1$ .

10. Подключив канал №1 осциллографа к выходу ФНЧ  $U_{\text{ВЫХ}}$  и переведя осциллограф в режим самописца (масштаб по оси времени – порядка 1-2 секунд), получите осциллограмму пилообразно изменяющегося напряжения во времени. Зарегистрируйте минимальное и максимальное значения полученного напряжения. Сравните их с теоретическими значениями ( $GND$ ,  $+U_{\Pi} = 5\text{ В}$ )



## 7. ИССЛЕДОВАНИЕ СХЕМ ЦАП И АЦП

### 7.1. Краткое описание лабораторной работы

1. В лабораторной работе исследуются схемы ЦАП на резисторной матрице R-2R и АЦП, использующее этот ЦАП в своем составе.
2. В качестве источника данных для ЦАП используется группа из четырех переключателей.
3. Схема АЦП является простейшей счетной схемой на основе 4-разрядного реверсивного счетчика 74НС191.
4. В качестве источника входного напряжения АЦП используется переменный резистор.

### 7.2. Основные теоретические сведения

Одним из самых распространенных способов преобразования цифрового сигнала (многоразрядного слова) в напряжение является использование резисторной матрицы R-2R.

Существует и более простой для анализа метод – использование резисторов веса. Фактически, этот метод сводится к тому, что при помощи набора резисторов удваивающегося от одного к другому сопротивления делитель напряжения, управляемый битами преобразуемого слова. Самый низкоомный резистор управляется старшим битом, самый высокоомный – младшим. Однако, этот простой метод не получил распространения из-за крайнего неудобства в подборе сопротивлений.

ЦАП с матрицей R-2R лишен этого недостатка: матрица содержит резисторы лишь двух сопротивлений. Рассмотрим принцип ее действия.

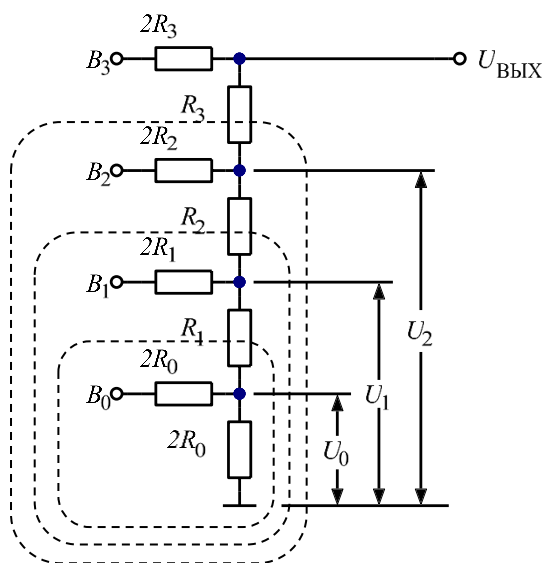


Рис. 87. Резисторная матрица R-2R

На Рис. 87 показана схема 4-разрядной резисторной матрицы, управляемой словом  $B[3..0]$ . Номиналы резисторов  $2R_{0-3}$  равно  $2R$  и вдвое больше номиналов резисторов  $R_{0-3}$ .

Положим, что напряжения логических уровней сигналов  $B_3-B_0$  равны, соответственно,  $0 / U_{\text{П}}$  вольт, и проанализируем работу схемы.

Рассмотрим фрагмент схемы, включающий в себя только вход  $B_0$ , игнорируя существование прочих элементов схемы. Она формирует свое выходное напряжение  $U_0$  под управлением младшего бита. Если  $B_0 = 1$ , то выходное  $U_0$  по формуле делителя напряжения составит  $U_{\text{П}}/2$ , иначе – ноль. Выходное сопротивление этой схемы равно сопротивлению, получаемому параллельным включением двух резисторов номиналом  $2R$ , т.е. оно равно  $R$ .

Фрагмент схемы, включающий в себя бит  $B_1$ , содержит в себе предыдущий фрагмент схемы (с битом  $B_0$ ). Представим, что  $B_0 = 0$ , тогда два резистора  $2R_0$  включены параллельно с получением сопротивления номиналом  $R$ . Этот составной резистор включается последовательно сопротивлению  $R_1$  таким же номиналом, т.е. узел цепи, где действует напряжение  $U_1$ , соединен с

землей сопротивлением номиналом  $2R$ . Мы опять получили симметричный делитель напряжения, и если  $B_0 = 0$ ,  $B_1 = 1$ , то  $U_1 = U_{\Pi} / 2$ . Выходное сопротивление фрагмента схемы, включающего в себя бит  $B_1$ , опять равняется величине  $R$  и рассчитывается, как  $((2R_0 \parallel 2R_0) + R_1) \parallel 2R_1$ , где « $\parallel$ » – символ для обозначения параллельного включения сопротивлений.

Эти рассуждения можно повторить и для фрагмента схемы, содержащего бит  $B_3$ . Если биты  $B_0$  и  $B_1$  равны нулю, для третьего фрагмента схемы опять выполняется формула делителя напряжения, верхнее плечо которого представляет собой резистор  $2R_2$ , а нижнее плечо – источник нулевого напряжения с выходным сопротивлением  $((2R_0 \parallel 2R_0) + R_1) \parallel 2R_1 + R_2 = 2R$ . Опять если  $B_0 = B_1 = 0$ , а  $B_2 = 1$ , выходное напряжение фрагмента схемы ( $U_2$ ) составит  $U_{\Pi} / 2$ .

Из этого анализа можно сделать ряд важных выводов. Во-первых, разрядность схемы можно увеличивать, теоретически, до бесконечности. Во-вторых, влияние  $n$ -го бита в выходное напряжение всей схемы равно влиянию всех ее младших битов. Иными словами, для 4-разрядной резисторной матрицы справедливо соотношение:

$$U_{\text{ВЫХ}} = U_{\Pi} \left( B_3 \frac{1}{2} + B_2 \frac{1}{4} + B_1 \frac{1}{8} + B_0 \frac{1}{16} \right)$$

Максимальное выходное напряжение схемы никогда не будет в точности равно напряжению питания из-за наличия в схеме резистора  $2R_0$ , соединяющего узел  $U_0$  с землей, однако, по мере роста числа разрядов, оно будет асимптотически стремиться к напряжению питания. В более общем виде выражение, связывающее выходное напряжения матрицы со значением управляющих битов, имеет следующий вид:

$$U_{\text{ВЫХ}} = U_{\Pi} \sum_{i=0}^{n-1} B_{n-i} \frac{1}{2^{i+1}}$$

То есть, скажем, для 8-разрядной матрицы выходное напряжение складывается из напряжений битов с весами, от старшего к младшему,  $1/2, 1/4, \dots, 1/256$ , а шаг изменения напряжения на выходе схемы равен весу младшего бита, умноженному на напряжение питания (т.е.  $U_{\Pi} / 256$ ). Резисторная матрица работает как цифроаналоговый преобразователь, выходное напряжение которого изменяется ступенчато и пропорционально управляющему числу.

Для 4-разрядной матрицы зависимость выходного напряжения от управляющего числа показана на Рис. 88.

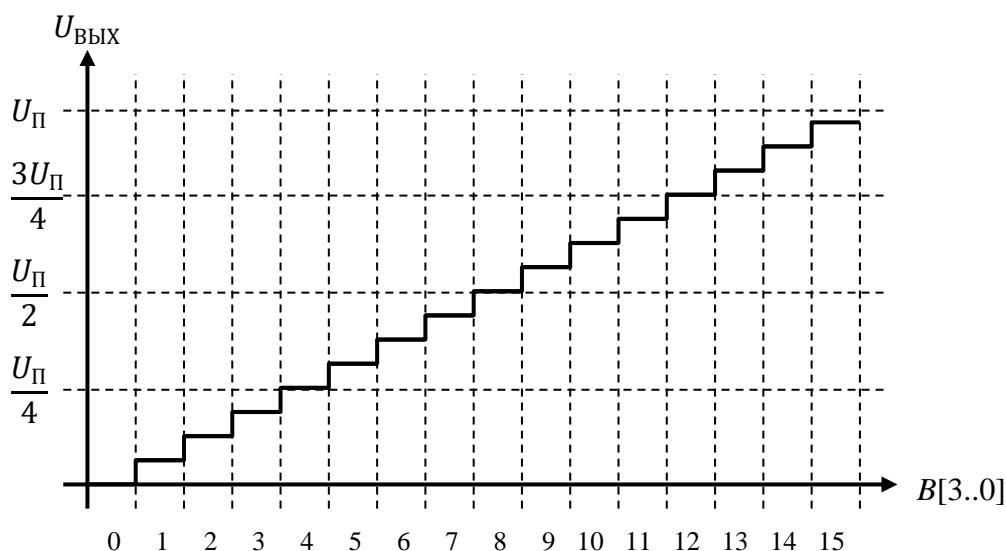


Рис. 88. Характеристика преобразования для 4-разрядной резисторной матрицы  $R$ - $2R$

Описанная схема реализации ЦАП по сей день широко используется в электронной промышленности. Готовые цифроаналоговые преобразователи с буферными входными логическими элементами (с высокой точностью формирования уровней лог. «0» и «1») и выходными усилителями выпускаются в виде готовых интегральных схем. Построить на дискретных элементах ЦАП с разрядностью, превышающей 10 бит, крайне затруднительно. Количество градаций выходного напряжения для такого ЦАП уже составляет 1024, т.е. точность резисторов, из которых собрана резисторная матрица, должна превышать  $1/1024 < 0.1\%$ , иначе разброс сопротивлений для старшего бита сведет на нет точность, обеспечиваемую младшим.

Восьмиразрядный ЦАП на резисторной матрице также широко применялся в прошлом радиолюбителями для того, чтобы дополнить персональный компьютер функцией вывода звука. Резисторная матрица подключалась к параллельному (LPT) порту ПК и позволяла генерировать звук с разрядностью 8 бит, а стоила во много раз дешевле ранних 16-битных звуковых карт.

В проведенном анализе считается, что уровень логической единицы, поступающей на матрицу, равняется напряжению питания. В практических схемах обычно вводят понятие опорного напряжения. В зависимости от входных битов резисторы номиналами  $2R$  в матрице подключаются при помощи полевых транзисторов либо к земле, либо к цепи опорного напряжения  $U_{оп}$ . Опорное напряжение ЦАП может как совпадать с напряжением питания всей схемы, так и быть меньше него. Если опорное напряжение и напряжение питания равны, то первое получают из второго, как минимум, при помощи RC или LC-фильтра, чтобы не пропустить в выходной сигнал ЦАП шумов цепей питания всего устройства.

Описанная схема ЦАП применяется и при построении схем, осуществляющих обратное преобразование – схем аналогово-цифровых преобразователей (АЦП). Большая часть распространенных АЦП общего применения в настоящий момент включают в себя такие ЦАП, и осуществляют преобразование, «подбирая» такое число на входе ЦАП, чтобы напряжение, поступающее с него, оказалось как можно более близким напряжению, которое требуется преобразовать в число. Для сравнения напряжения с ЦАП и входного напряжения используются аналоговые компараторы.

Самая популярная цифровая схема, которая «подбирает» оптимальное число, соответствующее входному напряжению, называется регистром последовательных приближений. Алгоритм его работы достаточно прост. Если разбить его на такты генератора, тактирующего схему, получится такое описание:

- Такт №1: устанавливается старший бит на ЦАП.
- Такт №2: если сигнал с компаратора показывает, что напряжение ЦАП выше входного напряжения, схема сбрасывает старший бит, в противном случае – сохраняет его равным 1.
- Такт №3: схема устанавливает второй по старшинству бит.
- Такт №4: если сигнал с компаратора показывает, что напряжение ЦАП выше входного напряжения, схема сбрасывает второй по старшинству бит, в противном случае – сохраняет его равным 1.
- ...
- Такт № $n-1$ : устанавливается младший бит на ЦАП.
- Такт № $n$ : если сигнал с компаратора показывает, что напряжение ЦАП выше входного напряжения, схема сбрасывает младший бит, в противном случае – сохраняет его равным 1. На этом преобразование завершено.

Как видно, для преобразования напряжения в число разрядностью  $n / 2$  алгоритму последовательных приближений требуется  $n$  тактов основного генератора.

К сожалению, схема регистра последовательных приближений даже для 4-разрядного АЦП требует слишком много логических элементов и триггеров, поэтому в настоящей лабораторной работе исследуется более примитивная схема счетного АЦП. Ее идея еще проще.

В начале преобразования число, поступающее на ЦАП, устанавливается либо на максимальном, либо на минимальном уровне. Это число генерируется счетчиком, настроенным, соответственно, на вычитание или суммирование. Сигнал с ЦАП оказывается в определенном соотношении с входным сигналом. Начинается счет, и в тот момент, когда это соотношение поменялось, значение с выхода счетчика записывается в регистр. Это и есть результат преобразования. Блок-схема 4-разрядного счетного АЦП для счета на увеличение показана на Рис. 89, а, а временные диаграммы его работы – на Рис. 89, б. Предполагается, что счетчик считает в свободном режиме. В начале преобразования сигнала выходное число счетчика  $CNT[3..0]$  и напряжение на выходе резисторной матрицы – нулевые. В определенный момент число увеличивается до порогового значения, когда сигнал на выходе аналогового компаратора переходит из лог. «0» в лог. «1». Это событие разрешает запись параллельного регистра (сигнал  $W$ ), фиксирующего, при каком числе на выходе счетчика напряжение с ЦАП  $U_{ЦАП}$  превысило входное напряжения  $U_{ВХ}$ . Выходные биты регистра содержат результат преобразования, который обновляется не реже, чем каждый 16-й такт, поступающий на счетчик. Тактовый генератор, вырабатывающий сигнал  $CLK$  для работы счетчика, на блок-схеме не показан.

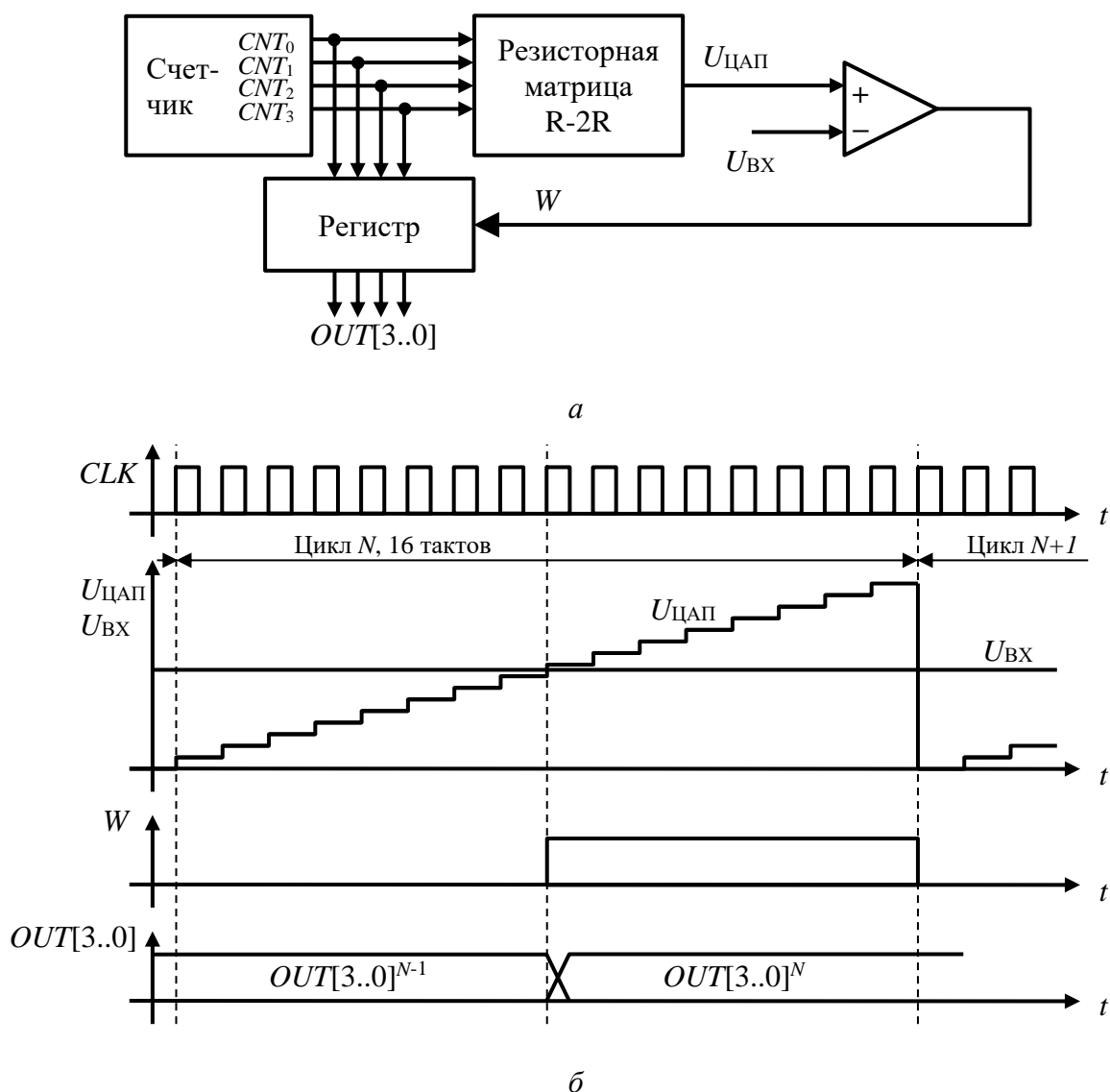


Рис. 89. Блок-схема счетного 4-разрядного АЦП (а) и временные диаграммы его работы (б)

Число на выходе схемы (результат преобразования) обновляется в моменты времени, которые зависят исключительно от величины входного напряжения. На временной диаграмме этот момент совпадает с фронтом сигнала  $W$ , после которого результат предыдущего преобразования  $OUT[3..0]^{N-1}$  в регистре заменяется на новое значение  $OUT[3..0]^N$ . Практическая реализация схемы счетного АЦП, естественно, будет немного сложнее блок-схемы, для

обеспечения стабильной работы потребуется обеспечить синхронную архитектуру схемы и предусмотреть ряд вспомогательных ЛЭ и триггеров для корректной обработки асинхронного сигнала на выходе аналогового компаратора. Естественно, тактировать триггеры параллельного регистра непосредственно от выхода аналогового компаратора недопустимо: из-за шумов в аналоговых цепях на его выходе возможны эффекты, аналогичныедребезгу кнопок и т.д.

Главным недостатком такой схемы является то, что количество тактов, которое тратится на преобразование, удваивается при увеличении разрядности АЦП всего на 1 бит. Так, при тактовой частоте 1 МГц у 16-разрядного счетного АЦП уходило бы на одно преобразование свыше 65 мс, что совершенно неприемлемо даже для оцифровки звукового сигнала речевой полосы.

Большая часть современных АЦП общего назначения являются АЦП последовательных приближений. Именно такие АЦП встроены в большинство микроконтроллеров. АЦП с высокой разрядностью (до 24 бит) используют  $\Sigma\Delta$ -архитектуру, а скоростные АЦП являются конвейерными.

Показатели качества работы схем как ЦАП, так и АЦП принято описывать при помощи ряда специфических характеристик.

Так, основные свойства цифро-аналогового преобразователя определяются его характеристикой преобразования. Характеристика преобразования, или передаточная функция – это зависимость выходного сигнала ЦАП от поданного на вход двоичного кода. Количество выходных уровней, отстоящих друг от друга на один элементарный шаг, задаётся разрядностью ЦАП. Например, для 4-х разрядного ЦАП выходной сигнал принимает значения от 0 до 15 (число значений  $2^4$ ). Величина элементарного шага называется весом младшего разряда (или квант преобразования, англ. *LSB* – Least Significant Bit). Шкала выходного сигнала (англ. *FS* – Full Scale, или напряжение полной шкалы) определяется как  $FS = LSB \cdot 2^n$ , где  $n$  – число разрядов ЦАП. При этом необходимо иметь в виду, что максимальное двоичное число на входе ЦАП –  $2^n - 1$ .

Иногда требуется получить на выходе ЦАП биполярный, т.е. как положительный, так и отрицательный сигнал. Для этого используется один из двух способов представления двоичных чисел со знаком – смещенный двоичный код или дополнительный код.

Таблица 12. Формирование биполярного сигнала

Код	Смещенный двоичный код	Дополнительный код
2	1010	0010
1	1001	0001
0	1000	0000
-1	0111	1111
-2	0110	1110
-7	0001	1001
-8	0000	1000

Всё сказанное выше относится к ЦАП, имеющих идеальную характеристику преобразования, для которой все значения сигнала на выходе строго соответствуют числу на входе. Реальные ЦАП имеют различные типы погрешностей, рассмотренные далее.

**Ошибка смещения нуля** заключается в том, что напряжение на выходе ЦАП, когда на вход подается код, соответствующий нулевому выходному сигналу, равно не нулю, а некоторой величине  $U_{см}$ . Она обычно выражается в процентах от напряжения полной шкалы или в виде количества квантов напряжения, соответствующих *LSB*.

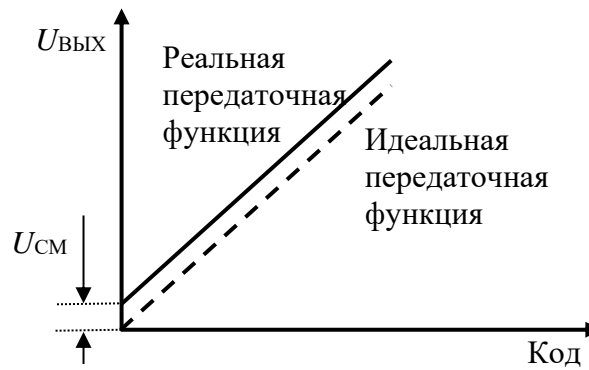


Рис. 90. Ошибка смещения нуля ЦАП

**Ошибка коэффициента преобразования** (ошибка масштаба) определяет, насколько наклон характеристики преобразования отличается от заявленного значения (см. величину  $U_M$  на Рис. 91). Данная величина может выражаться в процентах от напряжения полной шкалы или в величине ошибки на полной шкале преобразователя в единицах *LSB*.

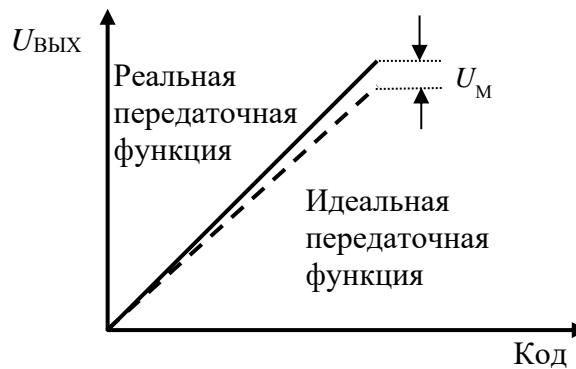


Рис. 91. Ошибка масштаба ЦАП

**Интегральную нелинейность** ЦАП измеряют как максимальное отклонение от прямой линии, соединяющей крайние точки шкалы (см. величину  $U_{ин}$  на 0). Интегральную нелинейность определяют либо в количестве квантов, либо в процентах от полной шкалы.

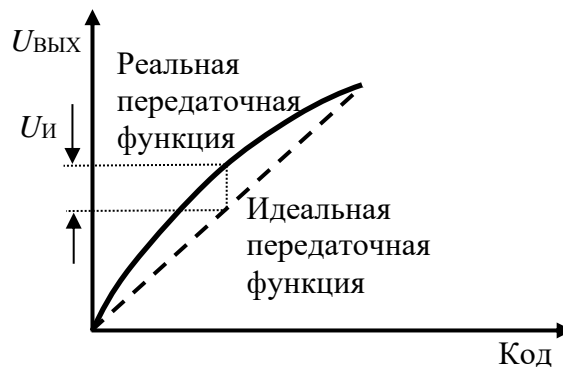


Рис. 92. Интегральная нелинейность ЦАП

**Дифференциальная нелинейность** — это локальная характеристика ЦАП. В идеальном случае при изменении цифрового кода на единицу аналоговый сигнал также должен измениться на 1 *LSB*, однако реально шаги ЦАП могут иметь неравномерность. Дифференциальная нелинейность определяется как максимальное отклонение величины кванта от его среднего по шкале значения (см. величину  $U_d$  на Рис. 93). Выражается в *LSB*.

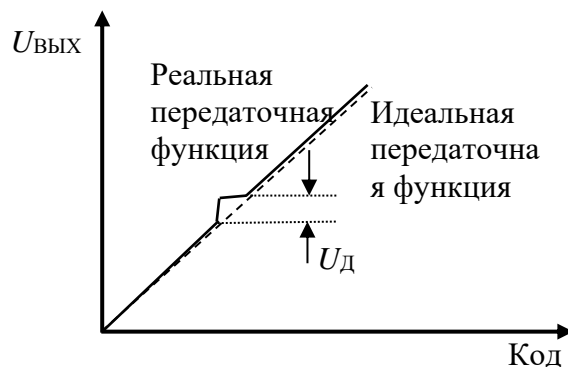


Рис. 93. Дифференциальная нелинейность ЦАП

Как правило, в каждом ЦАП в определенной мере имеются все ошибки. Их совокупное влияние приводит к некоторой результирующей погрешности, максимальная величина которой может быть вычислена как сумма отдельных ошибок. Такую результирующую погрешность называют абсолютной ошибкой.

Наиболее важной **динамической характеристикой** цифро-аналоговых преобразователей является время установления, которое определяется как интервал от момента смены кода до момента установления выходного сигнала с ошибкой, равной половине *LSB*. Для измерения времени установления код изменяют от минимального до максимального значения и наоборот.

**Основной параметр АЦП – это его разрядность.** Если данные на выходе АЦП имеют *n* двоичных разрядов, то числовые отсчеты могут принимать значения от 0 до  $2^n - 1$ , а число *n* и определяет разрядность АЦП.

При аналого-цифровом преобразовании неизбежно возникает погрешность преобразования, так как аналоговый сигнал, принимающий бесконечное множество значений, заменяется на цифровой, имеющий их конечное число. В идеальном случае погрешность преобразования не превышает  $\pm 1/2$  кванта (*LSB*), что также называют разрешающей способностью. В реальных условиях на точность преобразования влияют различные шумы. Шум АЦП при определенных условиях может заметно превышать один квант, и тогда говорят об эффективной разрядности (англ. ENOB – Effective Number Of Bits), которая будет меньше *n*. Для некоторых типов АЦП, например, таких как сигма-дельта, эффективная разрядность зависит от скорости получения отсчетов, и может быть значительно меньше максимально возможной.

Значение кванта преобразования зависит не только от разрядности, но и от опорного напряжения, которое может генерироваться как внутри АЦП из напряжения питания, так и устанавливаться снаружи от дополнительного высококачественного линейного стабилизатора напряжения. Опорное напряжение, как правило, задает максимальное значение входного сигнала. Например, при опорном напряжении 1.5 В и четырехразрядном АЦП квант преобразования будет равен  $1.5 / (2^4 - 1) = 1.5 / (16 - 1) = 0.1$  В.

На результат преобразования аналогового сигнала в цифровой код также оказывают влияние такие погрешности, как сдвиг нуля, ошибка масштаба и нелинейность характеристики преобразования, подробно рассмотренные выше для ЦАП.

**Скоростные (динамические) возможности АЦП** определяются его производительностью или скоростью получения отсчетов (англ. Sampling Rate). Производительность преобразователя – это количество отсчетов в секунду (англ. kSPS – kilo-Samples per Second, MSPS – Mega-Samples per Second, GSPS – Giga-Samples per Second). Величина, обратная производительности, задаёт временной интервал между отсчетами.

**Апертурная неопределенность** (или апертурная дрожь, англ. Jitter) является ещё одним динамическим параметром, определяющим качество преобразования скоростных сигналов. Апертурная неопределенность – это дрожание момента получения отсчета.

### 7.3. Задание на проведение исследований

1. Соберите схему для исследования принципа действия ЦАП на основе матрицы резисторов R-2R (см. Рис. 94).

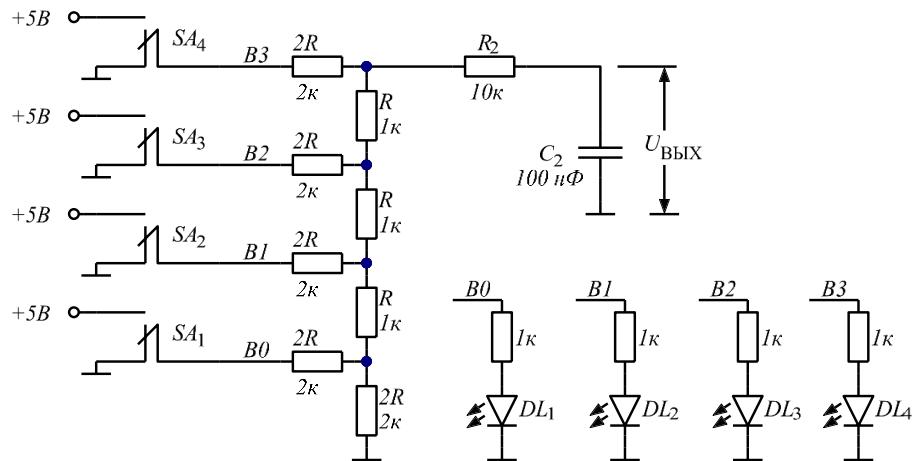


Рис. 94. Схема для исследования принципа действия матрицы R-2R

В качестве элементов  $SA_{1-4}$  используйте движковые переключатели, расположенные в нижней части платы лабораторного стенда. Обратите внимание, что токоограничительные резисторы для светодиодов, резисторы матрицы и ее выходной фильтр ( $R_2C_2$ ) уже встроены в плату стенда.

2. Подключите любой из каналов осциллографа к выходу схемы ( $U_{\text{вых}}$ ). Настройте режим синхронизации «Auto», масштаб по оси времени порядка 25-100 мс в клетке, по оси Y – 1 В в клетке.

3. Изменяя состояние переключателей, снимите зависимость выходного напряжения матрицы R-2R от числа, формируемого битами B3-B0. При снятии зависимости изменяйте входное число в одном направлении (например, в сторону увеличения от 0000<sub>2</sub> к 1111<sub>2</sub>).

4. При составлении отчета постройте график  $U_{\text{вых}}(B[3..0])$  по измеренным точкам и график, данные для которого рассчитаны согласно теоретическим соотношениям. Сравните полученные результаты. Рассчитайте также погрешность преобразования ЦАП в каждой точке и нелинейность данного ЦАП.

5. Соберите схему 4-разрядного счетного АЦП согласно Рис. 95. Тактовый генератор построен на инвертирующем триггере Шмитта  $DD_{1.1}$ . Его выходная частота  $f$  составляет несколько сотен Гц и поступает на все последовательностные узлы схемы в качестве базовой тактовой частоты.

Счетчик  $DD_4$  считает на уменьшение, поэтому вход направления счета  $D/\bar{U}$  подключен к цепи питания резистором подтяжки, уже присутствующим в плате стенда (на схеме для компактности он не показан). Это же касается и всех остальных входов управления счетчика. Счет разрешается сигналом  $\bar{EN}$ . Он представляет собой прямоугольные импульсы с частотой  $f/4$ , и коэффициентом заполнения, равным 75%. Для формирования такого сигнала используется асинхронный 2-разрядный счетчик, построенный на триггерах  $DD_{2.1,2.2}$ . Использование асинхронного счетчика не приводит к нестабильности схемы: его быстродействие существенно превышает период основных тактовых импульсов, а ввиду малой разрядности счетчика не возникает накопления большой задержки переключения битов. На выходах триггеров  $DD_{2.1}$  и  $DD_{2.2}$  счетчика присутствуют сигналы с частотами  $f/2$  и  $f/4$  и коэффициентами заполнения 50%. ЛЭ  $DD_{3.1}$  вырабатывает уровень лог. «0» в течение интервала времени, когда счетчик хранит число 11<sub>2</sub>, т.е. в течение одного из четырех тактов сигнала базовой тактовой частоты  $f$ . Таким образом, основной счетчик  $DD_4$  декрементируется на единицу каждые 4 тактовых импульса, поступающих с генератора.



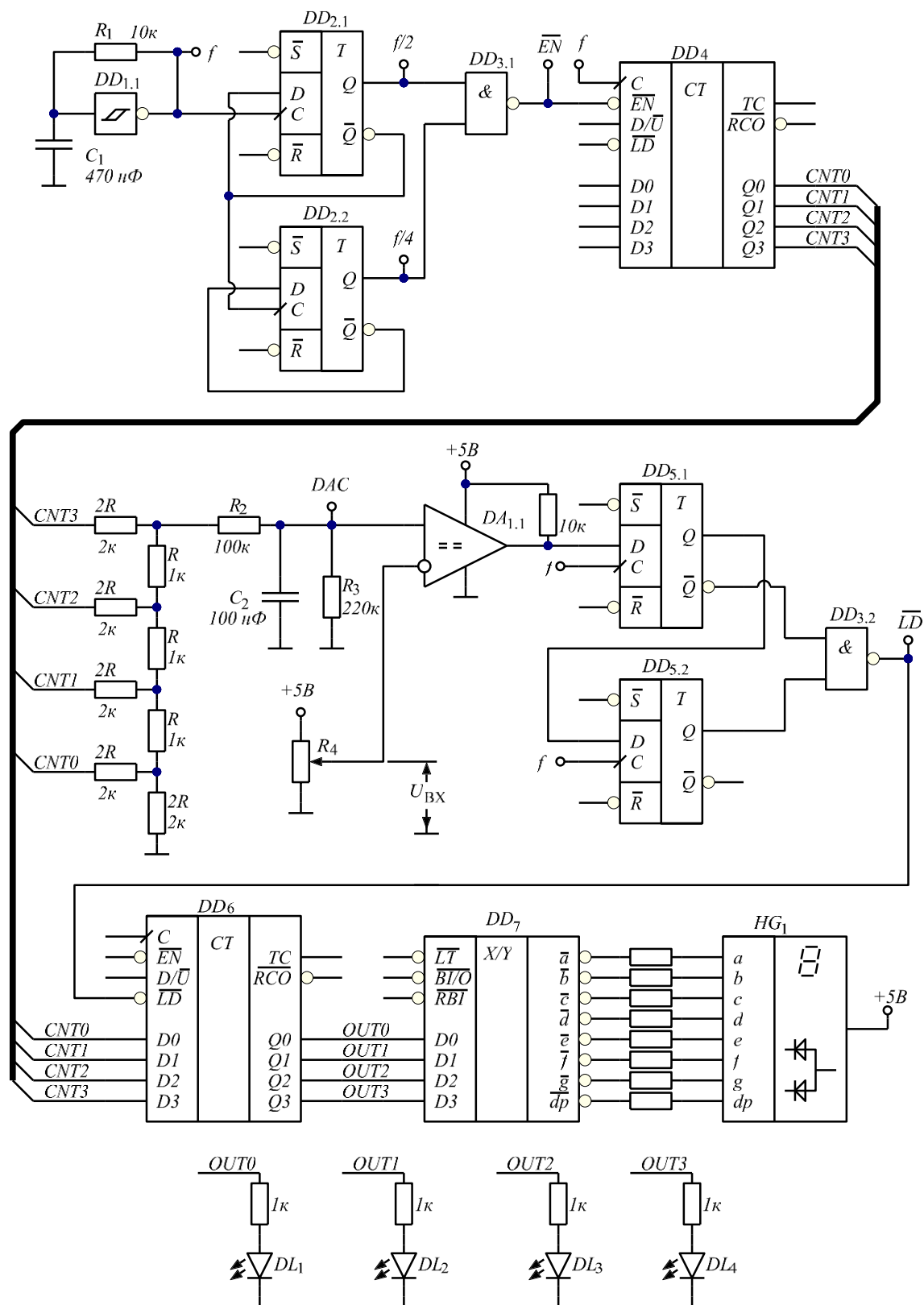


Рис. 95. Схема 4-разрядного счетного АЦП

Число, хранимое в счетчике ( $CNT[3..0]$ ) поступает на матрицу R-2R, работающую в качестве ЦАП схемы и формирующую напряжение, пропорциональное этому числу. Выходной фильтр матрицы включает в себя резистор  $R_2$  номиналом 100 кОм. Вместе с резистором  $R_3$  он образует делитель напряжения. Коэффициент деления составляет  $\frac{R_3}{R_2 + R_3} = 0.6875$ . Таким образом, напряжение в цепи DAC (т.е. выходное напряжение ЦАП схемы) не может превышать

≈3.5 В. Напряжения до 3.5 В являются допустимыми для корректной работы аналогового компаратора  $DA_1$  типа LM393 с питанием 5 В (данный компаратор не «Rail-to-Rail» по входу).

Компаратор сравнивает напряжения, поступающие с ЦАП схемы и с потенциометра  $R_4$ . Последнее является входным напряжением всей схемы аналого-цифрового преобразователя и подвергается преобразованию в двоичный код. Обратите внимание, что резистор подтяжки на выходе компаратора номиналом 10 кОм уже встроен в плату стенда.

В начале цикла оцифровки ( $CNT[3..0] = 15$ ) напряжение, поступающее с матрицы, максимально, и на выходе компаратора действует уровень лог. «1». В некоторый момент времени число  $CNT[3..0]$  уменьшается настолько, что соотношение входного напряжения  $U_{вх}$  и напряжения, поступающего с матрицы, меняется. В этот момент на выходе компаратора формируется срез. Это событие разрешает запись текущего значения  $CNT[3..0]$  в счетчик  $DD_6$ , который используется в качестве параллельного регистра.

Для формирования короткого импульса, разрешающего запись этого регистра, используется пара триггеров  $DD_{5.1,5.2}$  и ЛЭ  $DD_{3.2}$ . Триггер  $DD_{5.1}$  синхронизирует выходной бит компаратора на основной тактовый сигнал. Триггер  $DD_{3.2}$  хранит значение этого бита, имевшее место на предыдущем такте. Таким образом, срез сигнала на выходе  $DA_{1.1}$  вырабатывает в цепи  $\overline{LD}$  отрицательный импульс длительностью в один период тактового сигнала.

Из-за того, что счетчик  $DD_4$  декрементируется с частотой в 4 раза меньшей основной тактовой частоты, положение импульса цепи  $\overline{LD}$  во времени таково, что асинхронная загрузка числа в  $DD_6$  происходит надежно, в тот момент, когда значение  $CNT[3..0]$  неизменно.

Результат оцифровки выводится на 7-сегментный индикатор  $HG_1$  и группу светодиодов  $DL_{1-4}$ .

6. Убедитесь в работоспособности схемы. Для этого, вращая ручку потенциометра, наблюдайте плавное изменение числа, выводимого на 7-сегментный индикатор. Промодемонстрируйте работоспособную схему преподавателю.

7. Подключите канал №1 осциллографа к цепи  $U_{вх}$ . Уменьшите напряжение до нуля, вращая ручку потенциометра. Схема должна выводить число 0. Плавно увеличивая напряжение, снимите зависимость результата преобразования схемы  $OUT[3..0]$  от входного напряжения  $U_{вх}$ . При этом делайте паузу в увеличении напряжения и измерение сразу после того, как результат преобразования изменился на единицу младшего разряда (светодиод  $DL_1$ ).

8. При обработке результатов сравните полученную зависимость с теоретически рассчитанной. Обратите внимание, что данная схема не в состоянии выдать число 15 (1111<sub>2</sub>). Дайте объяснение этому недостатку схемы.

9. Установите такое входное напряжение схемы, которое соответствует числу на выходе, равному номеру бригады плюс 2. Канал №1 осциллографа уже подключен к цепи  $U_{вх}$ . Подключите канал №2 к цепи  $DAC$  (выход ЦАП), настроив масштаб по оси Y 1 В в клетке. Совместите нули каналов №№1 и 2. Канал №3 подключите к цепи  $\overline{LD}$ . Настройте синхронизацию по фронту сигнала в канале №2. Подберите такой масштаб по оси времени и такое горизонтальное смещение осциллограммы, чтобы на экране максимум места занял один цикл работы базового счетчика  $DD_4$  (т.е. один период пилообразно меняющегося напряжения цепи  $DAC$ ). Зарисуйте или сфотографируйте осциллограмму.

10. При обработке данных дайте развернутое объяснение полученной осциллограмме.

11. Настройте синхронизацию по фронту сигнала в канале №3. Подключите канал №4 осциллографа к цепи  $f$  и увеличьте масштаб по оси времени так, чтобы одна клетка соответствовала примерно одному такту с задающего генератора. Масштабы по оси Y каналов 1 и 2 увеличьте до 500 мВ в клетке.

12. Зарисуйте и сфотографируйте полученную осциллограмму. На ее основе и используя полученные сведения о работе схемы, при обработке данных составьте временную диаграмму следующих сигналов схемы: тактовый сигнал  $f$ , напряжение  $U_{вх}$ , напряжение цепи  $DAC$ , число  $CNT[3..0]$ , логические уровни на выходах  $DD_{5.1, 5.2}$ , логический уровень цепи  $\overline{LD}$ , содержимое триггеров микросхемы  $DD_7$ , используемой в качестве регистра.